

06.10.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年10月 8日

出 願 番 号  
Application Number: 特願2003-349806  
[ST. 10/C]: [JP2003-349806]

REC'D 26 NOV 2004

WIFO

PCT

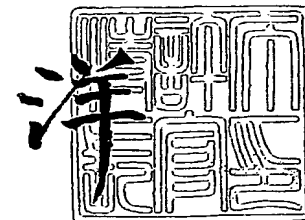
出 願 人  
Applicant(s): トヨタ自動車株式会社  
株式会社デンソー

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年11月11日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 030104TA  
【提出日】 平成15年10月 8日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内  
    【氏名】 高谷 秀史  
【発明者】  
    【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内  
    【氏名】 濱田 公守  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内  
    【氏名】 黒柳 晃  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内  
    【氏名】 大倉 康嗣  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内  
    【氏名】 戸倉 規仁  
【特許出願人】  
    【識別番号】 000003207  
    【氏名又は名称】 トヨタ自動車株式会社  
【特許出願人】  
    【識別番号】 000004260  
    【氏名又は名称】 株式会社デンソー  
【代理人】  
    【識別番号】 100105751  
    【弁理士】  
    【氏名又は名称】 岡戸 昭佳  
    【連絡先】 0 5 2 - 2 1 8 - 7 1 6 1  
【選任した代理人】  
    【識別番号】 100097009  
    【弁理士】  
    【氏名又は名称】 富澤 孝  
【選任した代理人】  
    【識別番号】 100098431  
    【弁理士】  
    【氏名又は名称】 山中 郁生  
【手数料の表示】  
    【予納台帳番号】 044808  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0308839

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板内の上面側に位置し第 1 導電型半導体であるボディ領域と、前記ボディ領域の下方に接し第 2 導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域より下方に位置するトレンチ部とを有する絶縁ゲート型半導体装置において、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体であるフローティング領域を有し、

前記トレンチ部の底部は、前記フローティング領域内に位置し、

前記トレンチ部内には、

前記フローティング領域と接し、絶縁物を堆積してなる堆積絶縁層と、

前記堆積絶縁層上に位置し、前記ボディ領域と対面するゲート電極とが形成されており、

前記堆積絶縁層の上端は、前記フローティング領域の上端よりも上方に位置することを特徴とする絶縁ゲート型半導体装置。

**【請求項 2】**

請求項 1 に記載する絶縁ゲート型半導体装置において、

セル領域の周辺の領域には、

内側が絶縁物で充填された補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助フローティング領域とが設けられており、

前記補助トレンチ部の底部は、前記補助フローティング領域内に位置していることを特徴とする絶縁ゲート型半導体装置。

**【請求項 3】**

半導体基板内の上面側に位置し第 1 導電型半導体であるボディ領域と、前記ボディ領域の下方に接し第 2 導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域より下方に位置するトレンチ部と、前記トレンチ部の内側に位置し前記ボディ領域と対面するゲート電極とを有する絶縁ゲート型半導体装置の製造方法において、

前記ドリフト領域および前記ボディ領域が形成された半導体基板内に前記トレンチ部を形成するトレンチ部形成工程と、

前記トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入することにより、第 1 導電型半導体であるフローティング領域を形成するフローティング領域形成工程と、

前記フローティング領域形成工程にてフローティング領域を形成した後に、前記トレンチ部形成工程にて形成したトレンチ部の中に、前記フローティング領域の上端よりも上方の位置まで絶縁物を堆積させる絶縁物堆積工程と、

前記堆積絶縁層形成工程にて堆積させた堆積絶縁層上にゲート電極を形成するゲート電極形成工程を含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

**【請求項 4】**

請求項 3 に記載する絶縁ゲート型半導体装置の製造方法において、

前記トレンチ部形成工程では、前記トレンチ部をセル領域および周辺領域に形成し、

絶縁物堆積工程では、

前記トレンチ部形成工程にて形成したトレンチ部の中を絶縁物で充填する絶縁物充填工程と、

前記絶縁物充填工程にて絶縁物が充填されたトレンチ部のうち、セル領域のトレンチ部に対して、トレンチ部の中の絶縁物の一部を除去することで堆積絶縁層の高さを調節する堆積物調節工程とを含み、

前記ゲート電極形成工程では、前記堆積物調節工程にて高さ調節が行われた堆積絶縁層上にゲート電極を形成することを特徴とする絶縁ゲート型半導体装置の製造方法。

## 【書類名】明細書

## 【発明の名称】絶縁ゲート型半導体装置およびその製造方法

## 【技術分野】

## 【0001】

本発明は、トレンチゲート構造を有する絶縁ゲート型半導体装置およびその製造方法に関する。さらに詳細には、半導体層にかかる電界を緩和することにより、高耐圧化と低オン抵抗化との両立を図った絶縁ゲート型半導体装置およびその製造方法に関するものである。

## 【背景技術】

## 【0002】

従来から、パワーデバイス用の絶縁ゲート型半導体装置として、トレンチゲート構造を有するトレンチゲート型半導体装置が提案されている。このトレンチゲート型半導体装置では、一般的に高耐圧化と低オン抵抗化とがトレードオフの関係にある。

## 【0003】

この点に着目したトレンチゲート型半導体装置としては、例えば特許文献1に開示されているものがある。このトレンチゲート型半導体装置は、概略、図20に示すように構成されている。すなわち、図20中の上面側に $N^+$ ソース領域31が設けられ、下側に $N^+$ ドレイン領域11が設けられている。そして、それらの間には上面側から、Pボディ領域41および $N^-$ ドリフト領域12が設けられている。さらに、半導体装置の上面側の一部を掘り込むことで形成されたトレンチ21が設けられている。また、トレンチ21には、ゲート電極22が内蔵されている。また、トレンチ21の直下にPフローティング領域53が設けられている。また、ゲート電極22は、トレンチ21の壁面に形成されたゲート絶縁膜24によりPボディ領域41から絶縁されている。

## 【0004】

このトレンチゲート型半導体装置では、ゲート電圧のスイッチオフ時に、Pボディ領域41と $N^-$ ドリフト領域12との間のPN接合箇所から $N^+$ ドレイン領域11に向けて空乏層が広がっていくとともにPフローティング領域53の下端部からも $N^+$ ドレイン領域11に向けて空乏層が広がっていく。すなわち、Pフローティング領域53が $N^-$ ドリフト領域12の空乏化を促進するのである。これにより、ドレインーソース間の高耐圧化を図ることができる。とされている。

## 【0005】

また、この他のトレンチゲート型半導体装置としては、例えば特許文献2に記載されているものがある。このトレンチゲート型半導体装置には、図21に示すようにトレンチ21から離れた位置にPフローティング領域54が設けられている。このPフローティング領域54によっても、図20の絶縁ゲート型半導体装置と同様にドレインーソース間の高耐圧化を図ることができる。とされている。

## 【0006】

前記した図21の半導体装置は、次のような手順で作製される。まず、 $N^+$ ドレイン領域11となる $N^+$ 基板上に、 $N^-$ 型ドリフト領域12となる $N^-$ 型シリコン層をエピタキシャル成長により形成する。このとき $N^-$ 型シリコン層は、図21中のZの位置まで形成する。次に、Pフローティング領域54をイオン注入等により形成する。次に、再度エピタキシャル成長を行って残りの $N^-$ 型シリコン層を形成する。これにより、Pフローティング領域54が $N^-$ ドリフト領域12に完全に囲まれた半導体装置が形成される。なお、これらの工程を繰り返し行うことで、Pフローティング領域54を異なる深さで幾つも形成することができる。

## 【0007】

また、これらのトレンチゲート型半導体装置の終端部は、一般的に図22に示すような構造を有している。すなわち終端部には、トレンチ21の深さと同等かもしくはそれ以上の深さのP終端拡散領域61が形成されている。これにより、ゲート電圧のスイッチオフ時に、P終端拡散領域61の周辺からも空乏層が形成される。これにより、終端部にお

る電界の集中を緩和している。

【特許文献1】特開平10-98188号公報

【特許文献2】特開平9-191109号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、前記した図20の半導体装置には、次のような問題点があった。すなわち、Pフローティング領域53は、トレンチ21の底部からのイオン注入等により形成される。そのため、トレンチ21の底部には少なからず損傷が生じている。それ故、そのままゲート絶縁膜24を形成すると、素子特性の低下や信頼性の低下を招いてしまう。また、ゲート電極22がPフローティング領域53と対面している。そのためオン時に、ゲート電極22内で、Pボディ領域41と対面している部分と、Pフローティング領域53と対面している部分とで電荷が分散してしまう。このため、オン抵抗が大きくなってしま

。 【0009】

一方、図21の半導体装置では、Pフローティング領域54がトレンチ21から離れて形成されているため、上記の問題を回避して高耐圧化を図ることができる。しかしながら、N<sup>-</sup>ドリフト領域12に完全に囲まれたPフローティング領域54を形成する際には、少なくとも2回のN<sup>-</sup>型シリコン層の形成工程（エピタキシャル成長工程）が必要であり、作製するのに非常に手間がかかる。

【0010】

また、終端部の電界の集中を緩和するためには、セル領域に形成された各Pフローティング領域と厚さが異なるP終端拡散領域61を形成する工程が必要である。そのため、工程数が多く、作製するのに手間がかかる。また、熱負荷が大きいことからN<sup>-</sup>型ドリフト領域12（エピタキシャル層）の不純物が拡散してその濃度にばらつきが生じる。そして、それを補うためにはN<sup>-</sup>型ドリフト領域12の厚さを厚くする必要があり、その結果オン抵抗が大きくなってしまうのである。

【0011】

本発明は、前記した従来のトレンチゲート型半導体装置が有する問題点を少なくとも1つ解決するためになされたものである。すなわちその課題とするところは、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0012】

この課題の解決を目的としてなされた絶縁ゲート型半導体装置は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下方に接し第2導電型半導体であるドリフト領域と、半導体基板の上面からボディ領域を貫通しその底部がボディ領域より下方に位置するトレンチ部とを有する絶縁ゲート型半導体装置であって、ドリフト領域に囲まれるとともに第1導電型半導体であるフローティング領域を有し、トレンチ部の底部は、フローティング領域内に位置し、トレンチ部内には、フローティング領域と接し、絶縁物を堆積してなる堆積絶縁層と、堆積絶縁層上に位置し、ボディ領域と対面するゲート電極とが形成されており、堆積絶縁層の上端は、フローティング領域の上端よりも上方に位置するものである。

【0013】

すなわち、本発明の絶縁ゲート型半導体装置は、ドリフト領域に囲まれたフローティング領域を有している。このフローティング領域により、オフ時のドリフト領域の空乏化を促進することができる。また、電界のピークを複数箇所に形成することができ、最大ピーク値の低減を図ることができる。また、トレンチ部の中に堆積絶縁層を有している。これにより、ゲート絶縁膜およびゲート電極は、トレンチ部の損傷の影響を受けない。よって、素子特性の劣化および信頼性の低下が抑止される。また、その堆積絶縁層の上端は、フ

ローティング領域の上端よりも上方に位置している。これにより、ゲート電極とフローティング領域との対面が抑止され、オン抵抗の増大が防止される。

【0014】

また、セル領域の周辺の領域には、内側が絶縁物で充填された補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である補助フローティング領域とが設けられており、補助トレンチ部の底部は、補助フローティング領域内に位置していることとするよりよい。

【0015】

すなわち、周辺領域（終端部）にも、フローティング領域と同様の作用を有する補助フローティング領域を有している。これにより、終端部でも高耐圧化が図られている。また、補助フローティング領域は、セル領域内のフローティング領域と同等のサイズである。従って、コンパクトであり、サイズの制御性もよい。

【0016】

また、本発明の絶縁ゲート型半導体装置の製造方法は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下方に接し第2導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部がボディ領域より下方に位置するトレンチ部と、トレンチ部の内側に位置しボディ領域と対面するゲート電極とを有する絶縁ゲート型半導体装置の製造方法であって、ドリフト領域およびボディ領域が形成された半導体基板内にトレンチ部を形成するトレンチ部形成工程と、トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入することにより、第1導電型半導体であるフローティング領域を形成するフローティング領域形成工程と、フローティング領域形成工程にてフローティング領域を形成した後に、トレンチ部形成工程にて形成したトレンチ部の中に、フローティング領域の上端よりも上方の位置まで絶縁物を堆積させる絶縁物堆積工程と、堆積絶縁層形成工程にて堆積させた堆積絶縁層上にゲート電極を形成するゲート電極形成工程を含んでいる。

【0017】

この製造方法では、エピタキシャル成長等によりドリフト領域およびボディ領域が形成済みの半導体基板を出発材としている。そして、トレンチ部形成工程にて、ボディ領域を貫通するトレンチ部を形成している。そして、フローティング領域形成工程にて、そのトレンチ部から不純物を注入することによりフローティング領域を形成している。すなわち、フローティング領域がドリフト領域およびボディ領域の形成後に形成されるため、フローティング領域の形成後に再度エピタキシャル成長により単結晶シリコン層を形成する必要がない。従って、フローティング領域を有する絶縁ゲート型半導体装置を簡便に作製することができる。また、絶縁物堆積工程にて、トレンチ部の底部に堆積絶縁層を形成している。これにより、本発明の製造方法にて製造された絶縁ゲート型半導体装置は、不純物の注入による影響を回避するとともにオン抵抗の増大を防止することができている。

【0018】

また、絶縁ゲート型半導体装置の製造方法のトレンチ部形成工程では、トレンチ部をセル領域および周辺領域に形成し、絶縁物堆積工程では、トレンチ部形成工程にて形成したトレンチ部の中を絶縁物で充填する絶縁物充填工程と、絶縁物充填工程にて絶縁物が充填されたトレンチ部のうち、セル領域のトレンチ部に対して、トレンチ部の中の絶縁物の一部を除去することで堆積絶縁層の高さを調節する堆積物調節工程とを含み、ゲート電極形成工程では、堆積物調節工程にて高さ調節が行われた堆積絶縁層上にゲート電極を形成することとするよりよい。

【0019】

すなわち、トレンチ部形成工程にて、周辺領域にもトレンチ部を形成するとよりよい。これにより、トレンチ部の形成後のフローティング領域形成工程にて、周辺領域にもセル領域と同様のフローティング領域が形成される。また、絶縁物充填工程にてトレンチ部の中を絶縁物で充填している。そして、堆積物調節工程にてセル領域内のトレンチ部についてのみ絶縁物の一部を除去した後、ゲート電極形成工程にてそのトレンチ部の中にゲート

電極を形成している。これにより、セル領域内にはゲート電極を内蔵したトレンチ部が形成され、周辺領域内にはその全体が絶縁物で充填されたトレンチ部が形成される。これにより、終端部の高耐圧化が図られた絶縁ゲート型半導体装置を簡便に作製することができる。

#### 【発明の効果】

##### 【0020】

本発明によれば、ドリフト領域に囲まれたフローティング領域により、高耐圧化と低オン抵抗化の両立を図ることができる。また、堆積絶縁層により、不純物の注入による影響を回避することができる。また、エピタキシャル成長によるシリコン層の形成を繰り返すことなくフローティング領域を形成することができる。よって、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法を提供することができる。

#### 【発明を実施するための最良の形態】

##### 【0021】

以下、本発明を具体化した実施の形態について、添付図面を参照しつつ詳細に説明する。なお、本実施の形態は、絶縁ゲートへの電圧印加により、ドレインソース間（以下、「DS間」とする）の導通をコントロールするパワーMOSに本発明を適用したものである。

##### 【0022】

###### 〔第1の形態〕

第1の形態に係る絶縁ゲート型半導体装置100（以下、「半導体装置100」とする）は、図1の断面図に示す構造を有している。なお、図1中、図20で示した従来の半導体装置と同一記号の構成要素は、その構成要素と同一機能を有するものである。また、本明細書においては、出発基板と、出発基板上にエピタキシャル成長により形成した単結晶シリコンの部分とを合わせた全体を半導体基板と呼ぶこととする。

##### 【0023】

半導体装置100では、半導体基板内における図1中の上面側に、 $N^+$ ソース領域31および $P^+$ ソース領域32が設けられている。一方、下面側には $N^+$ ドレイン領域11が設けられている。それらの間には上面側から、 $P^-$ ボディ領域41および $N^-$ ドリフト領域12が設けられている。なお、 $P^-$ ボディ領域41および $N^-$ ドリフト領域12を合わせた領域（以下、「エピタキシャル層」とする）の厚さは、およそ $5.5\mu m$ （そのうち、 $P^-$ ボディ領域41の厚さは、およそ $1.2\mu m$ ）である。

##### 【0024】

また、半導体基板の上面側の一部を掘り込むことによりトレンチ21が形成されている。トレンチ21の深さはおよそ $3.2\mu m$ であり、 $P^-$ ボディ領域41を貫通している。なお、トレンチ21の形状は、紙面奥行き方向に長い長溝形状のもの他、筒状のものを格子状または千鳥状に配列したものであってもよい。また、トレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。具体的に堆積絶縁層23は、トレンチ21の底部からおよそ $1.7\mu m$ の高さの位置まで酸化シリコンが堆積してできたものである。さらに、堆積絶縁層23上には、導体（例えば、ポリシリコン）の堆積によるゲート電極22が形成されている。そして、ゲート電極22は、トレンチ21の壁面に形成されているゲート絶縁膜24を介して、半導体基板の $N^+$ ソース領域31および $P^-$ ボディ領域41と対面している。すなわち、ゲート電極22は、ゲート絶縁膜24により $N^+$ ソース領域31および $P^-$ ボディ領域41から絶縁されている。このような構造を持つ半導体装置100では、ゲート電極22への電圧印加により $P^-$ ボディ領域41にチャネル効果を生じさせ、もって $N^+$ ソース領域31と $N^+$ ドレイン領域11との間の導通をコントロールしている。

##### 【0025】

さらに、半導体基板には、 $N^-$ ドリフト領域12に囲まれたPフローティング領域51が形成されている。図1の断面図に示したように、Pフローティング領域51の断面は、

トレンチ 21 の底部を中心とした半径  $0.6\ \mu\text{m}$  の略円形状となっている。また、各トレンチ 21 は、およそ  $3.0\ \mu\text{m}$  のピッチで形成されている。従って、隣り合う P フローティング領域 51、51 間には、十分なスペースがある。よって、オン状態において、P フローティング領域 51 の存在がド레인電流に対する妨げとなることはない。また、P フローティング領域 51 の半径（およそ  $0.6\ \mu\text{m}$ ）は、堆積絶縁層 23 の厚さ（およそ  $1.7\ \mu\text{m}$ ）の  $1/2$  以下である。従って、堆積絶縁層 23 の上端は、P フローティング領域 51 の上端よりも上方に位置する。よって、堆積絶縁層 23 上に堆積するゲート電極 22 と P フローティング領域 51 とは対面していない。

#### 【0026】

本形態の半導体装置 100 は、その内部に P フローティング領域 51 が設けられていることにより、それを有しない絶縁ゲート型半導体装置と比較して、次のような特性を有する。すなわち、ゲート電圧のスイッチオフ時には、DS 間の電圧によって、N<sup>-</sup> ドリフト領域 12 内では P<sup>-</sup> ボディ領域 41 との間の PN 接合箇所から空乏層が形成される。そして、その PN 接合箇所の近傍が電界強度のピークとなる。空乏層の先端が P フローティング領域 51 に到達すると、P<sup>-</sup> ボディ領域 41 との PN 接合箇所から P フローティング領域 51 までの N<sup>-</sup> ドリフト領域 12 が空乏化される。そして、P フローティング領域 51 がパンチスルー状態となってその電位が固定される。また、DS 間の印加電圧が高い場合には、N<sup>-</sup> ドリフト領域 12 内ではさらに空乏層が P フローティング領域 51 の下端部から形成される。そして、P<sup>-</sup> ボディ領域 41 との間の PN 接合箇所とは別に、P フローティング領域 51 の下端部も電界強度のピークとなる。すなわち、電界のピークを 2 箇所に形成でき、最大ピーク値の低減を図ることができる。よって、高耐圧化が図られている。また、高耐圧であることから、N<sup>-</sup> ドリフト領域 12 の不純物濃度を上げて低オン抵抗化を図ることができる。

#### 【0027】

また、本形態の半導体装置 100 は、トレンチ 21 内に堆積絶縁層 23 が設けられていることにより次のような特性を有する。すなわち、P フローティング領域 51 は、後述するようにトレンチ 21 の底部からのイオン注入等により形成されるため、トレンチ 21 の底部に少なからず損傷が生じている。しかしながら、堆積絶縁層 23 の存在によってトレンチ 21 の底部の損傷による影響を回避し、素子特性の劣化や信頼性の低下を防止することができる。また、堆積絶縁層 23 にてゲート電極 22 と P フローティング領域 51 との対面による影響を緩和し、P<sup>-</sup> ボディ領域 41 内のオン抵抗を低減することができる。また、堆積絶縁層 23 を設けない場合と比較して、ゲート電極 22 が小さいため、ゲートド레인間容量  $C_{gd}$  が小さく、スイッチングスピードが速い。

#### 【0028】

次に、半導体装置 100 の製造プロセスを図 2 により説明する。まず、N<sup>+</sup> ド레인領域 11 となる N<sup>+</sup> 基板上に、N<sup>-</sup> 型シリコン層をエピタキシャル成長により形成する。この N<sup>-</sup> 型シリコン層（エピタキシャル層）は、N<sup>-</sup> ドリフト領域 12、P<sup>-</sup> ボディ領域 41、N<sup>+</sup> ソース領域 31 の各領域となる部分である。そして、その後のイオン注入等により P<sup>-</sup> ボディ領域 41 および N<sup>+</sup> ソース領域 31 が形成される。これにより、図 2 (a) に示すような N<sup>+</sup> ド레인領域 11 上にエピタキシャル層を有する半導体基板が作製される。すなわち、このエピタキシャル層（N<sup>-</sup> ドリフト領域 12、P<sup>-</sup> ボディ領域 41、N<sup>+</sup> ソース領域 31）は、1 回のエピタキシャル成長工程にて形成されたものである。

#### 【0029】

次に、この半導体基板の上面に、HTO や TEOS 法による酸化膜層 91 を形成し、さらにその酸化膜層 91 の上面にレジストパターン 92 を形成する。そして、その状態の半導体基板に対して、レジストパターン 92 をマスクとして、酸化膜層 91 に対するドライエッチングを行う。これにより、図 2 (b) に示すような酸化膜層 91 を貫通する溝 94 が形成される。溝 94 を形成した後、最上層のレジスト層 92 を除去する。

#### 【0030】

次に、酸化膜層 91 をマスクとして、エピタキシャル層に対するドライエッチングを行



う。これにより、図2(c)に示すようなP<sup>-</sup>ボディ領域41を貫通してその底部がN<sup>-</sup>ドリフト領域12にまで到達するトレンチ21が形成される。

#### 【0031】

次に、酸化膜層91を残したまま熱酸化を行うことにより、トレンチ21の壁面に厚さが50nm程度の酸化膜95を形成する。そして、酸化膜層91をマスクとしてウェハ全面にイオン注入を行い、その後、熱拡散処理を行う。これにより、図2(d)に示すようなPフローティング領域51が形成される。Pフローティング領域51を形成した後、表面の酸化膜層91および酸化膜95を除去する。

#### 【0032】

次に、トレンチ21内部にCVDにて絶縁物（酸化シリコン等）を堆積させる。さらに、絶縁物を堆積した状態の半導体基板に対してエッチングを行うことで、図2(e)に示すような堆積絶縁層23が形成される。

#### 【0033】

次に、半導体基板の上面およびトレンチ21の壁面に熱酸化により酸化膜24を形成する。これがゲート酸化膜24となる。そして、トレンチ21の内部にCVDにて導体（ポリシリコン等）を堆積することにより、図2(f)に示すようなトレンチ21に内蔵されたゲート電極22が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図1に示した絶縁ゲート型半導体装置、すなわち半導体装置100が製造される。

#### 【0034】

続いて、図1に示した半導体装置100について、DS間の耐圧およびオン抵抗の測定結果について説明する。図3は、ゲート電圧V<sub>g</sub>を0Vに固定したときの、DS間における電圧V<sub>ds</sub>と電流I<sub>ds</sub>との関係を示したグラフである。図3に示すように電圧V<sub>ds</sub>が10Vから70Vまでの間は、電流I<sub>ds</sub>の値がほぼ一定であることがわかる。そして、電圧V<sub>ds</sub>が72Vを超えることで急激に電流I<sub>ds</sub>が大きくなっている。すなわち、およそ72Vでブレイクダウンが発生したことがわかる。図4は、ゲート電圧V<sub>g</sub>を変えて、DS間における電圧V<sub>ds</sub>と電流値I<sub>ds</sub>との関係をシミュレートしたときのグラフである。このグラフの傾きがDS間のオン抵抗に相当する。一般的に、シリコン限界（ユニポーラリミット）は、次の式(1)で計算されるオン抵抗(R<sub>on</sub>)で示される。なお、式(1)中のV<sub>b</sub>は耐圧を示す。

$$R_{on} = 8.33 \times 10^{-9} (V_b)^{2.5} \quad (1)$$

例えば、耐圧72Vの場合は、オン抵抗36.6mΩ・mm<sup>2</sup>がユニポーラリミットである。ここで本形態の、例えばゲート電圧V<sub>g</sub>=15Vの時のオン抵抗は、図4のV<sub>g</sub>=15Vのグラフの傾きより34.0mΩ・mm<sup>2</sup>であった。従って、本形態の絶縁ゲート型半導体装置は、ユニポーラリミットを超えて、さらに低オン抵抗化が図られたことがわかる。図5は、電圧V<sub>ds</sub>を固定したときの、ゲート電圧V<sub>g</sub>と電流I<sub>ds</sub>との関係を示すグラフである。図5に示すようにゲート電圧V<sub>g</sub>が2.8V以上で電流I<sub>ds</sub>が流れることがわかる。すなわち、ゲート電圧V<sub>g</sub>の閾値は、2.8Vであった。

#### 【0035】

また、半導体装置100の電界強度のシミュレーション結果について説明する。具体的に本シミュレーションでは、ゲート電圧のスイッチオフ後、空乏層が伸びきった状態で、図6中のA-A断面、B-B断面、およびC-C断面の3箇所について、それぞれ電界強度分布を求めた。なお、各断面の位置については、A-A断面が隣接するトレンチ21間の中間位置である。また、C-C断面がトレンチ21の周辺位置である。また、B-B断面は、A-A断面とC-C断面とのおおよそ中間位置である。図7から図9までのグラフは、それぞれA-A断面(図7)、B-B断面(図8)、C-C断面(図9)における電界強度分布を示したものである。各グラフ中、縦軸は電界強度(V/cm)、横軸は半導体基板(図6)中の上面からの距離(μm)をそれぞれ表している。A-A断面での電界強度分布は、図7に示すように上面からおおよそ1.5μmの位置と、3.5μmの位置との2箇所にピークを有している。すなわち、N<sup>-</sup>ドリフト領域12とP<sup>-</sup>ボディ領域41と

の間でのPN接合箇所と、Pフローティング領域51の下端部とで電界強度のピークとなっている。B-B断面での電界強度分布も、図8に示すように上面からおよそ $1.5\mu\text{m}$ の位置と、 $3.5\mu\text{m}$ の位置との2箇所電界強度がピークとなっている。C-C断面での電界強度分布も、図9に示すように上面からおよそ $1.5\mu\text{m}$ の位置と、 $3.5\mu\text{m}$ の位置との2箇所電界強度がピークとなっている。すなわち、電界強度のピークが2箇所に形成され、ピーク電圧の最大値が緩和されている。これにより、電界の集中が緩和され、高耐圧化が図られていることがわかる。

#### 【0036】

なお、トレンチ21の深さは、浅い方が生産性および良品率の点から望ましい。ただし、トレンチ21が浅い場合、電流経路を確保するためにはPフローティング領域51が小さいサイズでなければならない。一方、 $\text{N}^-$ ドリフト領域12の不純物濃度が高いと空乏層が広がりにくい。そのため、本発明の効果を生じさせるにはPフローティング領域51が大きいサイズでなければならない。従って、トレンチ21が浅い場合、 $\text{N}^-$ ドリフト領域12の不純物濃度はそれほど高くできない。すなわち、トレンチ21の深さの問題と、 $\text{N}^-$ ドリフト領域の不純物濃度（オン抵抗の低減）の問題とはトレードオフの関係にある。そこで、DS間の耐圧を60Vとしてシミュレーションを行った結果、 $\text{N}^-$ ドリフト領域12の不純物濃度は、 $1.5 \times 10^{16} / \text{cm}^3 \sim 2.5 \times 10^{16} / \text{cm}^3$ の範囲が適当であった。

#### 【0037】

なお、本形態の絶縁ゲート型半導体装置100は、図10に示すようなP型基板13を用いた伝導度変調型パワーMOSに対しても適用可能である。

#### 【0038】

また、本形態の絶縁ゲート型半導体装置100は、これまでに述べた特性に加え、次のような特性を有している。すなわち、Pフローティング領域51にホールが蓄積するため、Pフローティング領域51がホールの供給源となる。その結果、 $\text{N}^-$ ドリフト領域12の表面領域、具体的にはPフローティング領域51よりも上方に位置する領域のホールの濃度を上げることができる。従って、低損失化が図られる。また、ゲート電極22の下方に堆積絶縁層23が形成されているため、ゲートドレイン間容量(Cgd)が小さい。よって、発信防止や駆動損失を低減できる。

#### 【0039】

また、Pフローティング領域51からも空乏層が形成されるため、負荷短絡時の耐圧が向上する。すなわち、Pフローティング領域51を有しない従来の絶縁ゲート型半導体装置では、負荷短絡時に図11に示すように $\text{P}^-$ ボディ領域41と $\text{N}^-$ ドリフト領域12との間のPN接合箇所からドレイン側に空乏層15が形成され、トレンチ21の下方の領域で電流が流れる（図11の矢印参照）。一方、本形態の絶縁ゲート型半導体装置100では、ゲート電極22の下に堆積絶縁層23が形成されており、図12に示すようにトレンチ21に沿って電流が流れる。また、Pフローティング領域51からも空乏層15が形成される。従って、負荷短絡時の電流経路が非常に狭い（図12の矢印参照）。その結果、短絡電流が低減し、負荷短絡時の耐圧が向上する。

#### 【0040】

また、図13あるいは図14に示すように $\text{P}^-$ ボディ領域41と $\text{N}^-$ ドリフト領域12との間にホールのバリアとして作用するNホールバリア領域18が形成されたパワーMOSに対しても適用可能である。このNホールバリア領域18が形成されたパワーMOSの場合、Nホールバリア領域18内で空乏層の広がりが狭い。そのため、耐圧が低下してしまうおそれがある。しかしながら、本形態のようにPフローティング領域51を備えたパワーMOSでは、 $\text{P}^-$ ボディ領域41と $\text{N}^-$ ドリフト領域12との間のPN接合箇所から形成される空乏層に加え、Pフローティング領域51からも空乏層が形成されるため、耐圧の低下が抑制される。

#### 【0041】

#### [第2の形態]

第2の形態に係る絶縁ゲート型半導体装置200（以下、「半導体装置200」とする）は、図15の断面図に示す構造を有している。すなわち、半導体装置200は、従来の半導体装置と異なる終端構造を有するものである。本形態の半導体装置200には、第1の形態の半導体装置100と同様に、 $N^+$  ソース領域31と、 $N^+$  ドレイン領域11と、 $P^-$  ボディ領域41と、 $N^-$  ドリフト領域12と、ゲート電極22を内蔵するトレンチ21とが設けられている。そして、ゲート電極22への電圧印加により、 $N^+$  ソース領域31と $N^+$  ドレイン領域11との間の導通をコントロールしている。なお、半導体装置200では、セル領域（セルエリア）の周辺であって終端として作用する領域を「終端エリア」とする。

#### 【0042】

さらに半導体装置200の終端エリアには、図16に示すようにセルエリアを取り囲むように形成された外堀トレンチ62が設けられている。そして、図15に示したように外堀トレンチ62内は、その全体が絶縁物（酸化シリコン等）で充填されている。また、第1の形態のPフローティング領域51と同様の作用を有するPフローティング領域52が形成されている。

#### 【0043】

次に、半導体装置200の製造プロセスを、終端エリアを中心に図17を基に説明する。まず、図17（a）に示すように、 $N^+$  ドレイン領域11上にエピタキシャル層（ $N^-$  ドリフト領域12、 $P^-$  ボディ領域41、 $N^+$  ソース領域31）を形成する。詳細は第1の形態と同様である。次に、その半導体基板の上面にトレンチ21を形成する。このとき、終端エリア内で外堀トレンチ62も同時に形成される。そして、図17（b）に示すように、それらの底部からイオン注入を行うことでPフローティング領域51、52が形成される。ここまでの工程は、半導体装置100の製造プロセス中の工程（d）（図2参照）までと同様である。

#### 【0044】

次に、図17（c）に示すように、各トレンチ内部に絶縁物を堆積することにより堆積絶縁層23を形成する。次に、図17（d）に示すように、半導体基板の上面のうち、終端エリア上にレジスト96を形成する。そして、レジスト96をマスクとして絶縁物のエッチングを行う。これにより、堆積絶縁層23の高さ調節を行う。このエッチングの際、終端エリアの堆積絶縁物がレジスト96により保護される。そのため、セルエリアにある堆積絶縁物のみが高さ調節の対象となる。よって、外堀トレンチ62内の絶縁物は全く除去されず、外堀トレンチ62内を充填した状態を維持する。堆積絶縁物の高さ調節の終了後、レジスト96を除去する。

#### 【0045】

次に、図17（e）に示すように、半導体基板の上面およびトレンチ21の壁面に酸化膜を形成し、トレンチ21の内部に導体22を堆積する。これにより、トレンチ21の中にゲート電極22が形成される。また、必要に応じて $P^+$  ソース領域32を形成する。これらの工程は、半導体装置100の製造プロセス中の工程（f）（図2参照）と同様である。そして、最後にソース電極およびドレイン電極を形成することにより、図17（f）に示すような絶縁ゲート型半導体装置、すなわち半導体装置200が形成される。

#### 【0046】

続いて、半導体装置200の電界強度のシミュレーション結果について説明する。本シミュレーションでは、図16中のX-X断面の電界強度分布を求めている。図18は、半導体装置200内の等電位線を表している。図18に示すように $P^-$  ボディ領域41と $N^-$  ドリフト領域12とのPN接合箇所の近傍と、Pフローティング領域52の下端部とに電界のピークが存在していることがわかる。図19のグラフは、図15のY-Y断面における電界強度を示している。なお、縦軸は電界強度（V/cm）、横軸は半導体基板中の上面からの距離（ $\mu\text{m}$ ）をそれぞれ表している。Y-Y断面での電界強度は、図19に示すように上面からおよそ1.5  $\mu\text{m}$ の位置と、3.5  $\mu\text{m}$ の位置との2箇所にピークを有している。このグラフによっても、 $P^-$  ボディ領域41と $N^-$  ドリフト領域12とのPN

接合箇所の近傍と、Pフローティング領域52の下端部とでピークとなっていることがわかる。これにより、終端エリアについてもセルエリアと同様に、電界の集中が緩和されることがわかる。

#### 【0047】

本形態の半導体装置200は、外堀トレンチ62およびそれに対応するPフローティング領域52によって高耐圧化を図っている。これにより、図22に示したような従来の絶縁ゲート型半導体装置と比較して、次のような特性を有する。すなわち、本形態の半導体装置200では、Pフローティング領域52をセルエリアのPフローティング領域51と同じ工程で作製することができるため、工程数が少なく、簡便に作製することができる。また、Pフローティング領域52は、P終端拡散領域61と比較して熱負荷が小さい。そのため、N<sup>-</sup>ドリフト領域12（エピタキシャル層）の厚さを薄くでき、オン抵抗を小さくすることができる。また、Pフローティング領域52のサイズが従来のP終端拡散領域61と比較して小さい。そのため、そのサイズの制御性がよい。

#### 【0048】

なお、半導体装置200では、3本の外堀トレンチ62が形成されているが、外堀トレンチ62の数はこれに限るものではない。外堀トレンチ62の数が多いほど耐圧を向上させることができる。例えば半導体装置200の場合、外堀トレンチ62を1本とすると耐圧は50Vである。これに対し、外堀トレンチ62を2本とすると64Vまで向上し、3本とすると72Vまで向上する。一方、トレンチを増やせば増やすほど終端エリアのスペースが広くなり、半導体装置全体のコンパクト化の妨げとなる。よって、外堀トレンチ62は、耐圧に合わせて形成するとよい。また耐圧は、隣り合う外堀トレンチ62間の寸法を最適化することで向上する。具体的に半導体装置200では、トレンチ21間の寸法（3μm）と比較して、外堀トレンチ62間の寸法（2μm）が短くなるように形成されている。また、本形態では外堀トレンチ62を細長い溝状に形成しているが、これに限るものではない。すなわち、穴状に形成してもよい。

#### 【0049】

以上詳細に説明したように第1の形態の半導体装置100の製造方法では、1回のエピタキシャル成長工程によりエピタキシャル層（N<sup>-</sup>ドリフト領域12、P<sup>-</sup>ボディ領域41）を形成することとしている。そして、そのエピタキシャル層を有する半導体基板に対してトレンチ21を形成し、そのトレンチの底部からイオン注入を行うことによりPフローティング領域51を形成することとしている。すなわち、Pフローティング領域51を形成するに際し、エピタキシャル成長工程は1回のみでよい。そして、Pフローティング領域51によりゲート電圧のスイッチオフ時におけるN<sup>-</sup>ドリフト領域12の空乏化を促進するとともに電界の集中を緩和することができている。これにより、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法が実現されている。

#### 【0050】

また、トレンチ21内に堆積絶縁層23を形成することとしている。これにより、イオン注入によるトレンチ21の損傷の影響を受けることなく、ゲート絶縁膜24およびゲート電極22を形成することができる。これにより、素子特性の劣化および信頼性の低下を抑止することができる。また、堆積絶縁層23の上端は、Pフローティング領域51の上端よりも上方に位置している。よって、ゲート電極22とPフローティング領域51との対面が抑止されている。これにより、オン抵抗の低下を防止することができている。

#### 【0051】

また、第2の形態の半導体装置200では、終端エリアにもPフローティング領域52を形成することとしている。これにより、終端エリアでもセルエリアと同様に高耐圧化を達成している。このPフローティング領域52は、セルエリアのPフローティング領域51と同じ工程で形成されることとしている。また、Pフローティング領域52は、従来の半導体装置と比較してそれほどスペースを必要としない。従って、サイズの制御性がよく、コンパクトな半導体装置を簡易に作製することができている。

## 【0052】

なお、本実施の形態は単なる例示にすぎず、本発明を何ら限定するものではない。したがって本発明は当然に、その要旨を逸脱しない範囲内で種々の改良、変形が可能である。例えば、各半導体領域については、P型とN型とを入れ替えてもよい。また、ゲート絶縁膜24については、酸化膜に限らず、窒化膜等の他の種類の絶縁膜でもよいし、複合膜でもよい。また、半導体についても、シリコンに限らず、他の種類の半導体（SiC、GaN、GaAs等）であってもよい。

## 【0053】

また、第2の形態の半導体装置200では、外堀トレンチ62内が完全に絶縁物で充填されているが、トレンチ21と同様に一部の絶縁物を除去して導体を堆積させてもよい。この場合、外堀トレンチ62内の導体は、ゲート配線と電気的に接続されていない。このような半導体装置であっても、少ない工程数で終端エリアの高耐圧化を図ることができる。

## 【図面の簡単な説明】

## 【0054】

【図1】第1の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【図2】第1の形態に係る絶縁ゲート型半導体装置の製造工程を示す図である。

【図3】ドレインソース間の電圧と電流との関係（ゲート電圧一定）を示すグラフである。

【図4】ゲート電圧毎のドレインソース間の電圧と電流との関係を示すグラフである。

【図5】ゲート電圧とドレインソース間の電流との関係を示すグラフである。

【図6】半導体装置中のシミュレーションを行った箇所を示す断面図である。

【図7】図6の半導体装置におけるA-A断面の電界強度を示すグラフである。

【図8】図6の半導体装置におけるB-B断面の電界強度を示すグラフである。

【図9】図6の半導体装置におけるC-C断面の電界強度を示すグラフである。

【図10】伝導度変調型の半導体装置の構造を示す断面図である。

【図11】従来の絶縁ゲート型半導体装置における負荷短絡時の電流経路を示す図である。

【図12】第1の形態の絶縁ゲート型半導体装置における負荷短絡時の電流経路を示す図である。

【図13】ホールバリア層が形成された絶縁ゲート型半導体装置の構造（その1）を示す断面図である。

【図14】ホールバリア層が形成された絶縁ゲート型半導体装置の構造（その2）を示す断面図である。

【図15】第2の形態に係る絶縁ゲート型半導体装置の終端構造を示す断面図である。

【図16】図15の半導体装置を上側から見たレイアウトを示す図である。

【図17】第2の形態に係る絶縁ゲート型半導体装置の製造工程を示す図である。

【図18】図16の半導体装置におけるX-X断面の電位分布を示す図である。

【図19】図15の半導体装置におけるY-Y断面の電界強度を示すグラフである。

【図20】従来の絶縁ゲート型半導体装置（その1）の構造を示す断面図である。

【図21】従来の絶縁ゲート型半導体装置（その2）の構造を示す断面図である。

【図22】従来の絶縁ゲート型半導体装置の終端構造を示す断面図である。

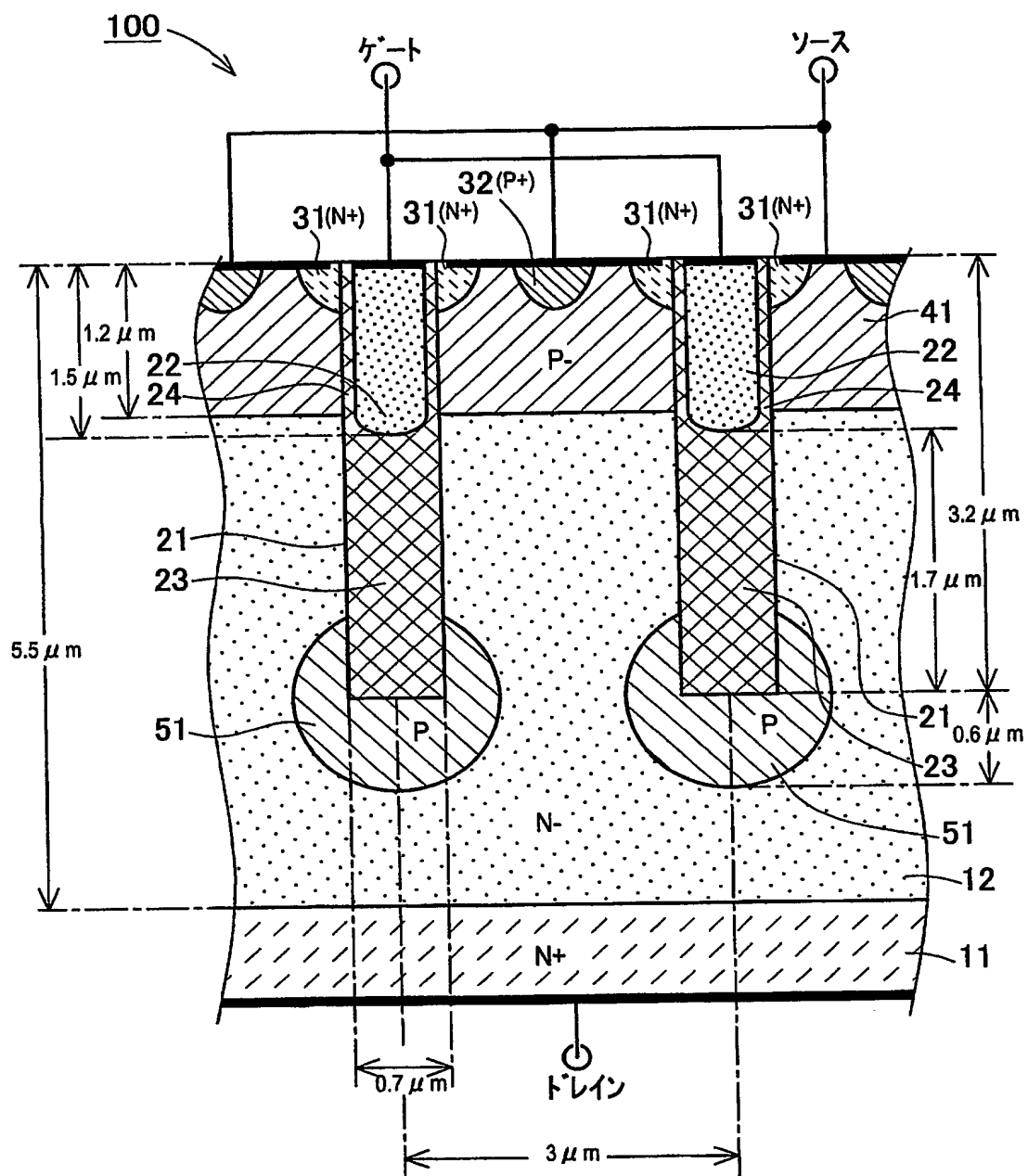
## 【符号の説明】

## 【0055】

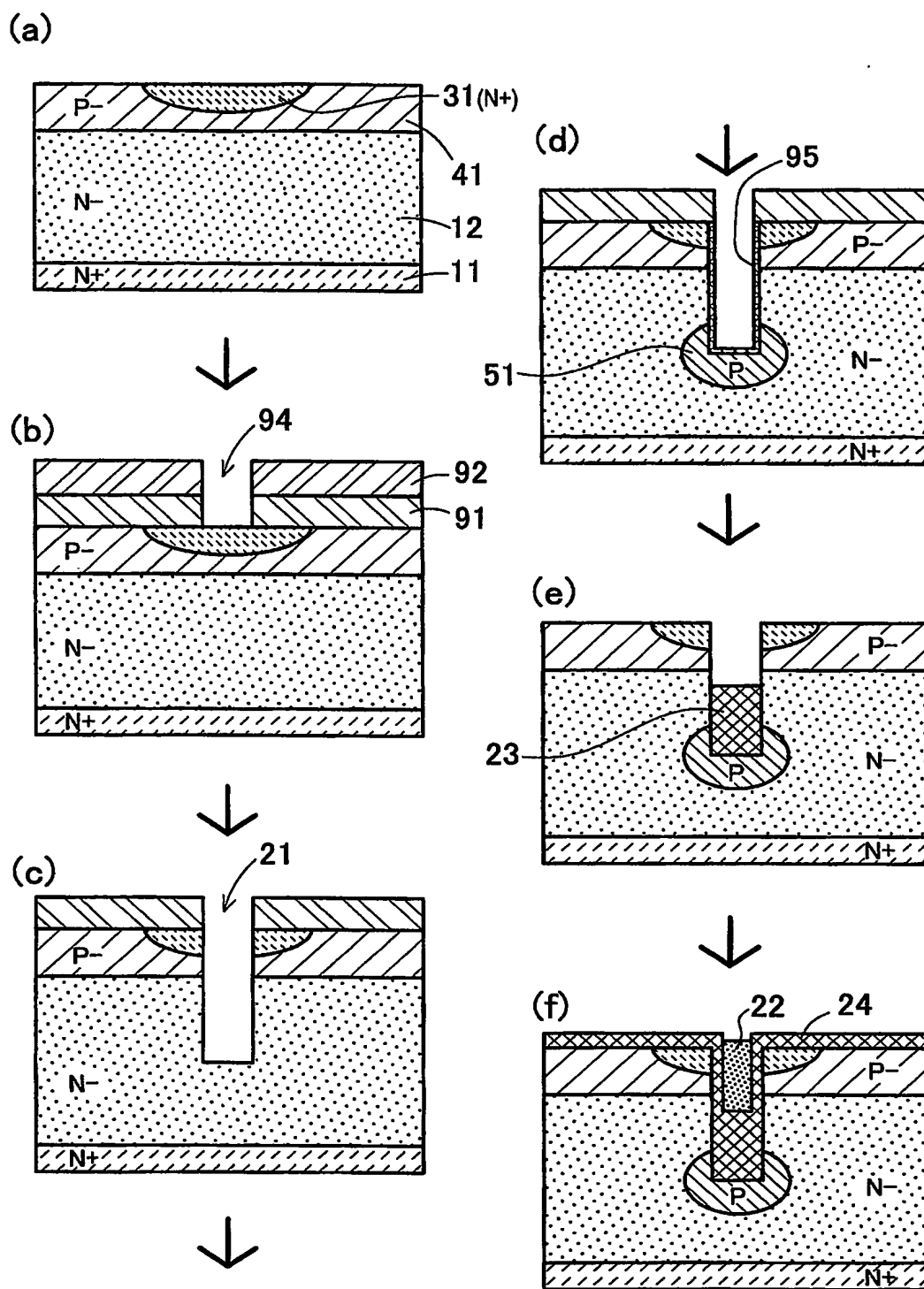
- 11 N<sup>+</sup> ドレイン領域
- 12 N<sup>-</sup> ドリフト領域（ドリフト領域）
- 21 トレンチ（トレンチ部）
- 22 ゲート電極

- 2 3 堆積絶縁層
- 2 4 ゲート絶縁膜
- 3 1 N<sup>+</sup> ソース領域
- 4 1 P<sup>-</sup> ボディ領域 (ボディ領域)
- 5 1 Pフローティング領域 (フローティング領域)
- 5 2 Pフローティング領域 (補助フローティング領域)
- 6 1 P 終端拡散領域
- 6 2 外堀トレンチ (補助トレンチ部)

【書類名】 図面  
【図 1】

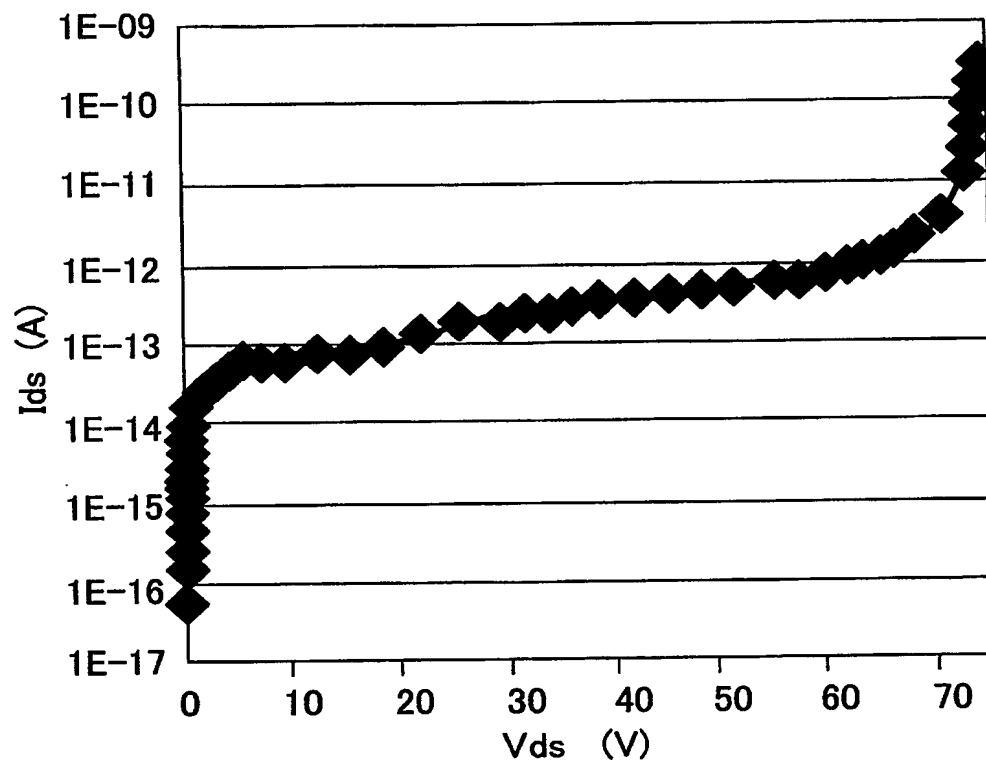


【図 2】

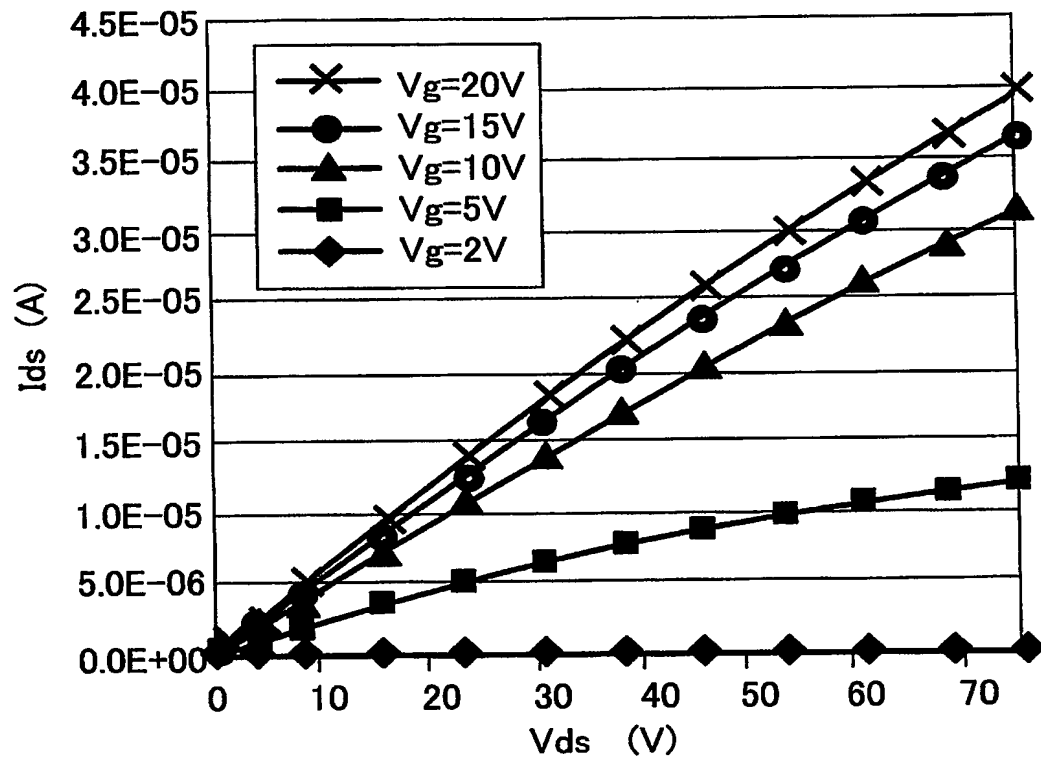




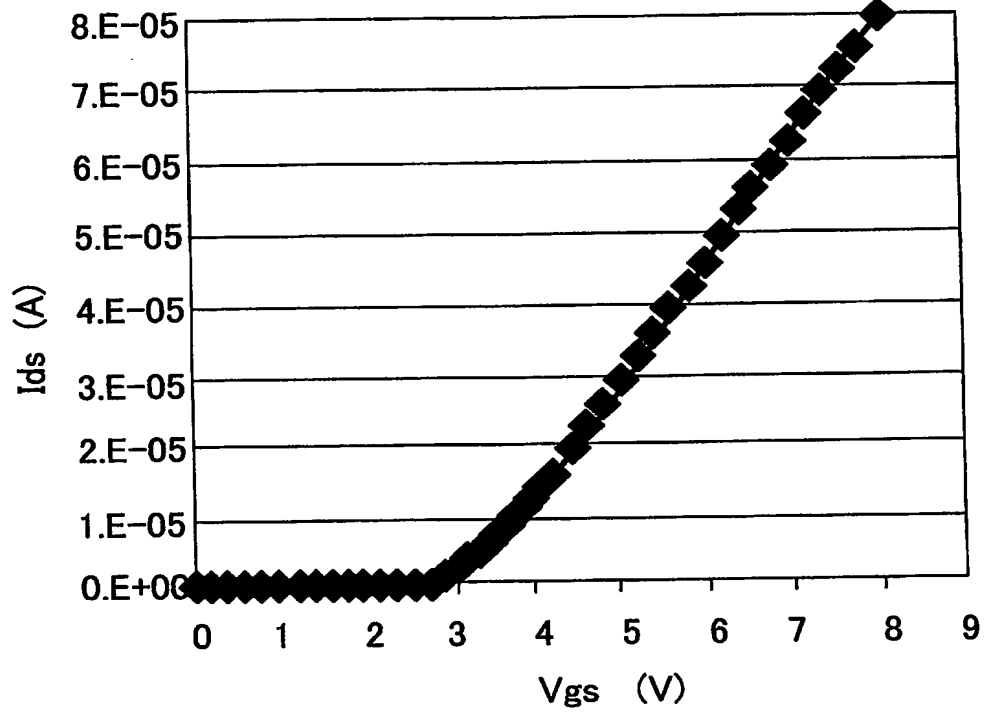
【図 3】



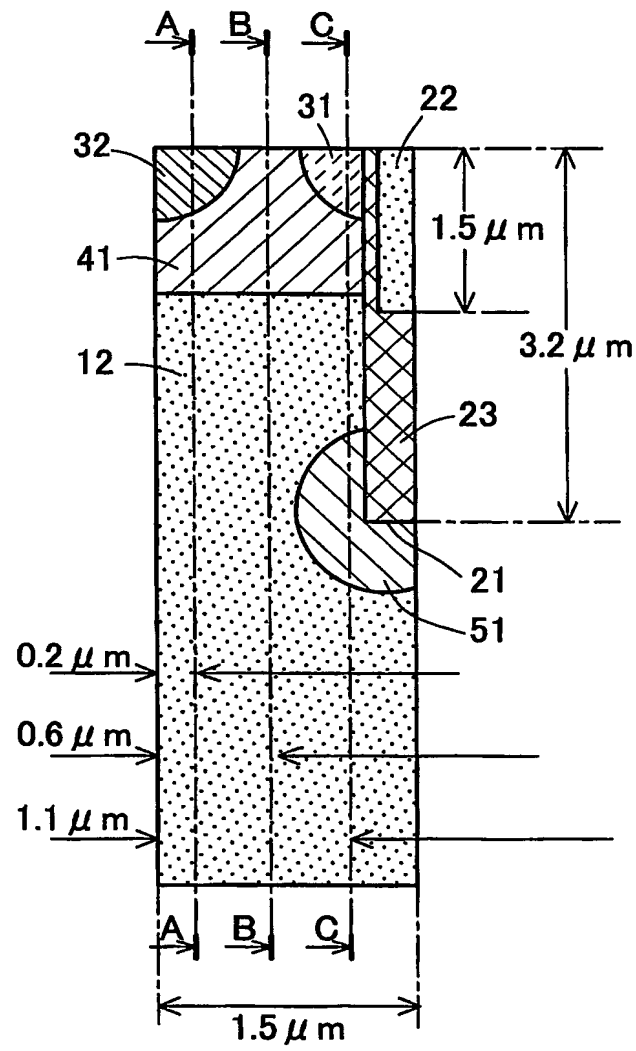
【図 4】



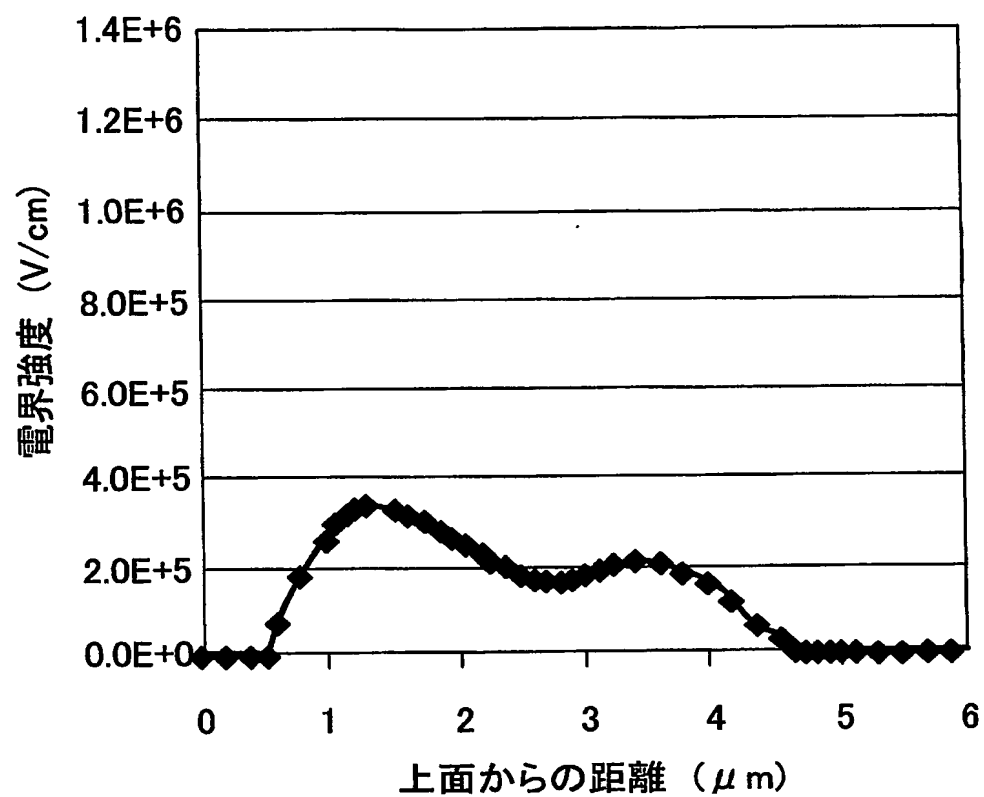
【図 5】



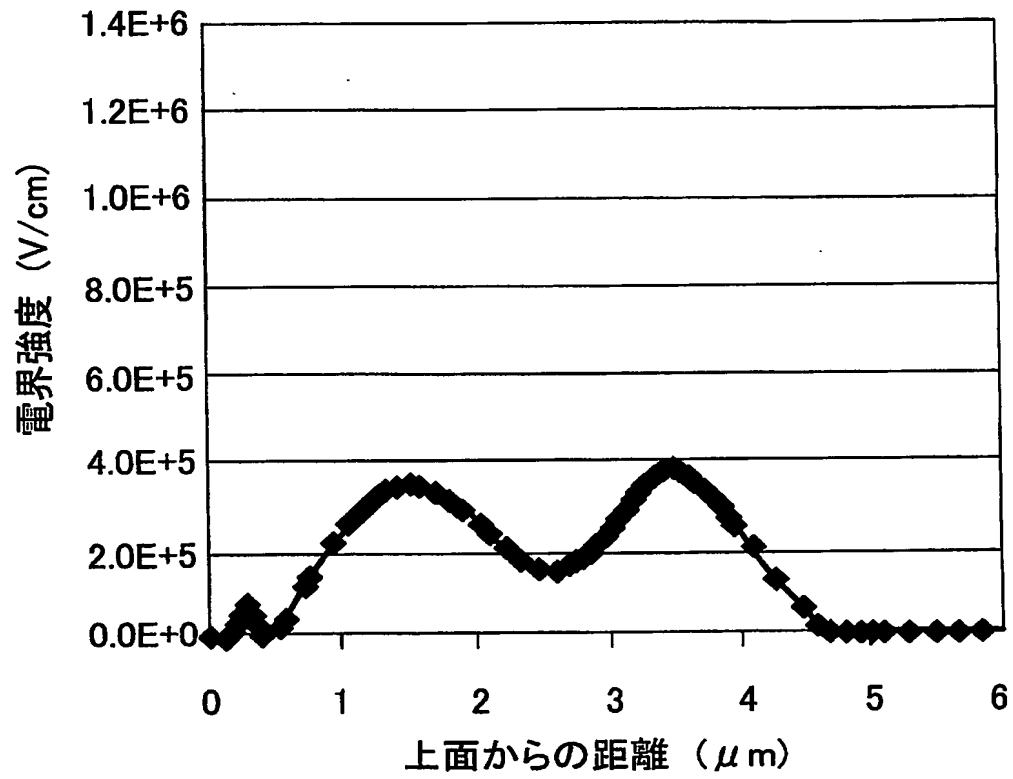
【図 6】



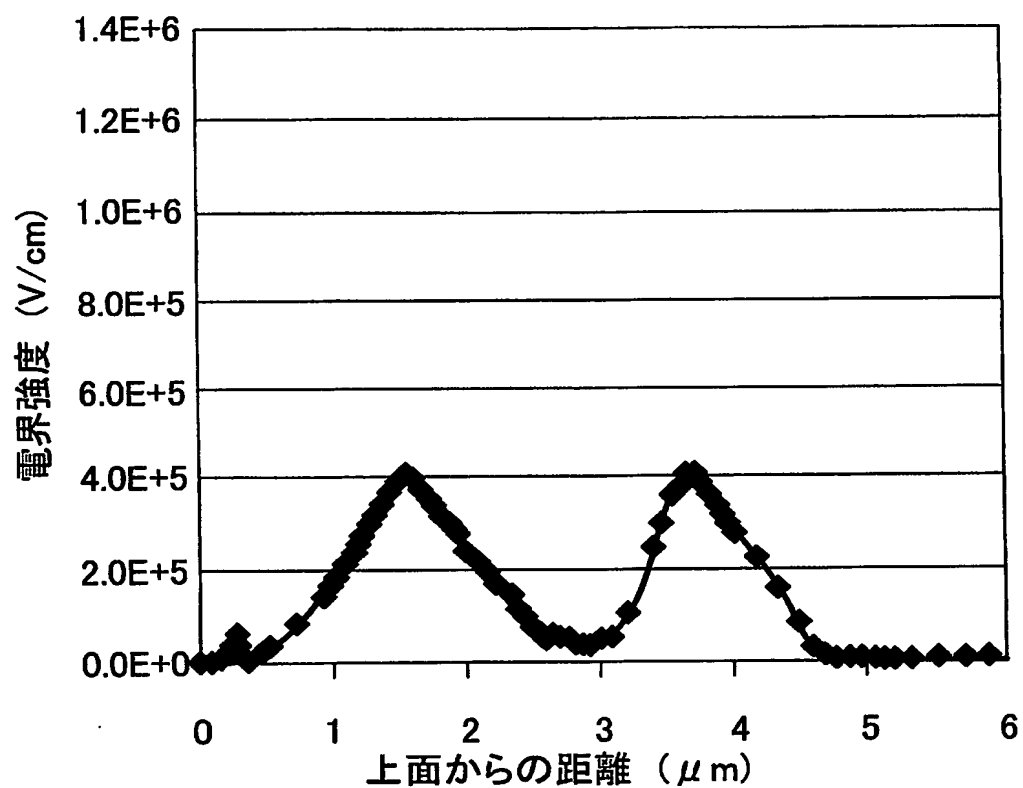
【図 7】



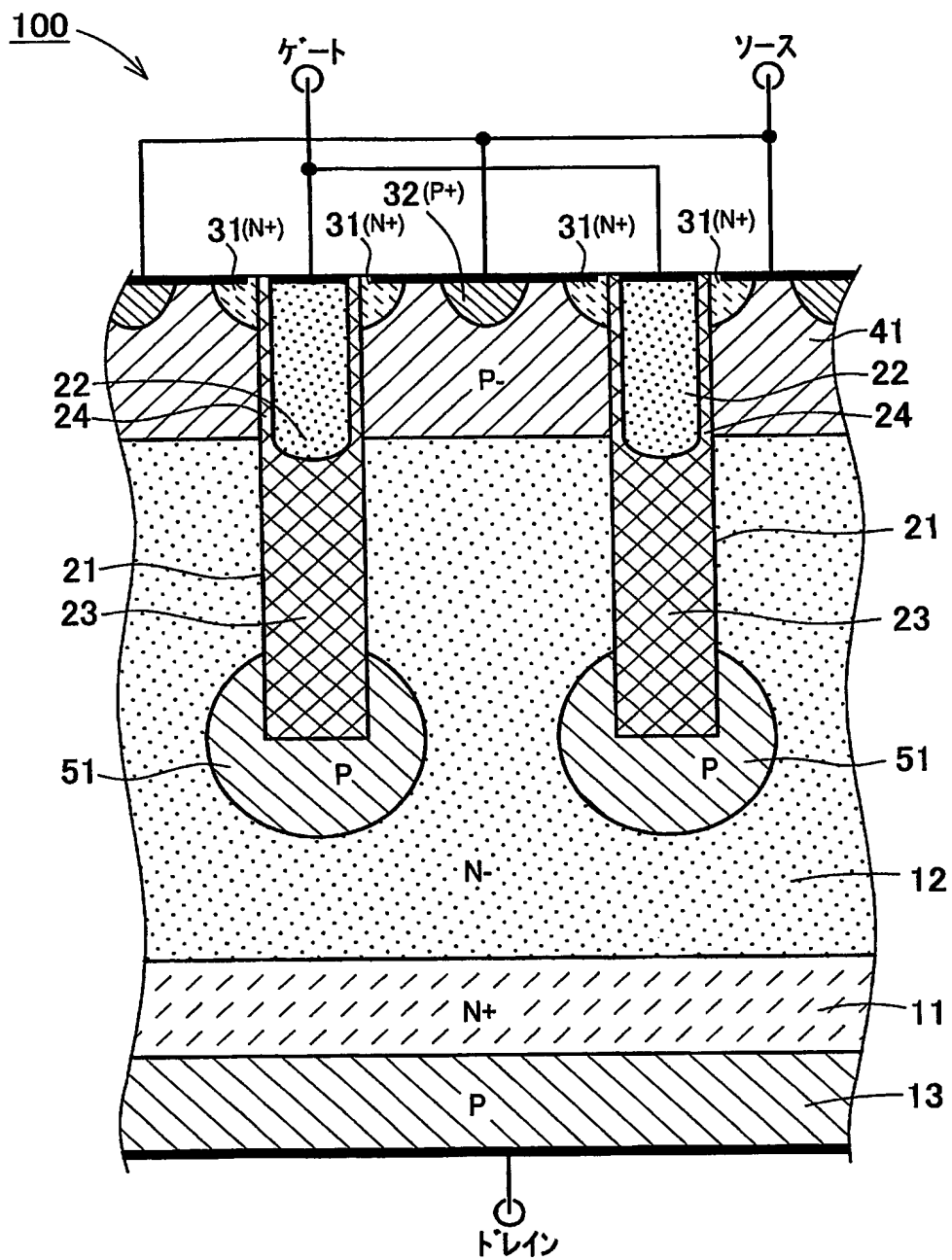
【図 8】



【図 9】

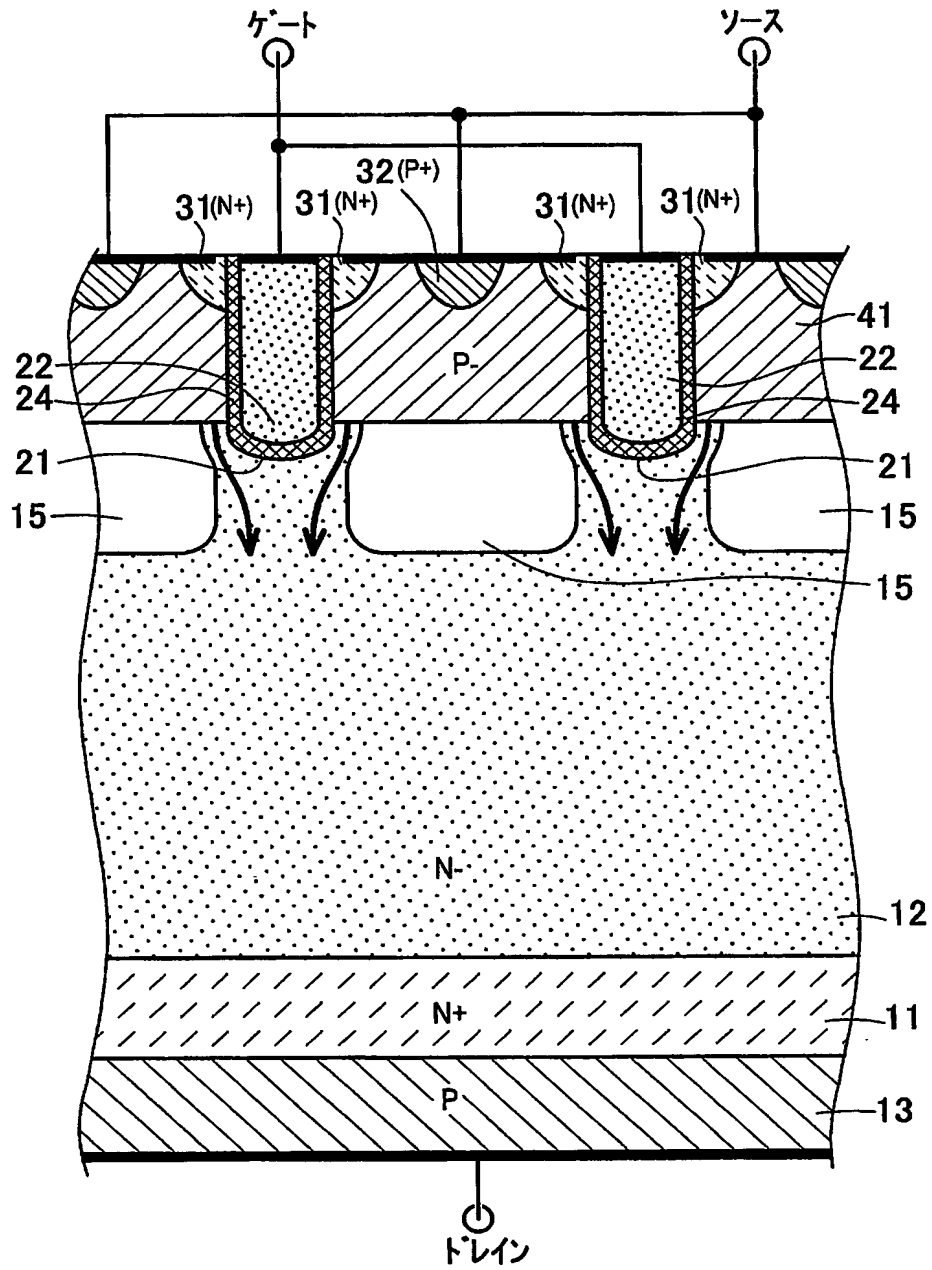


【図 10】

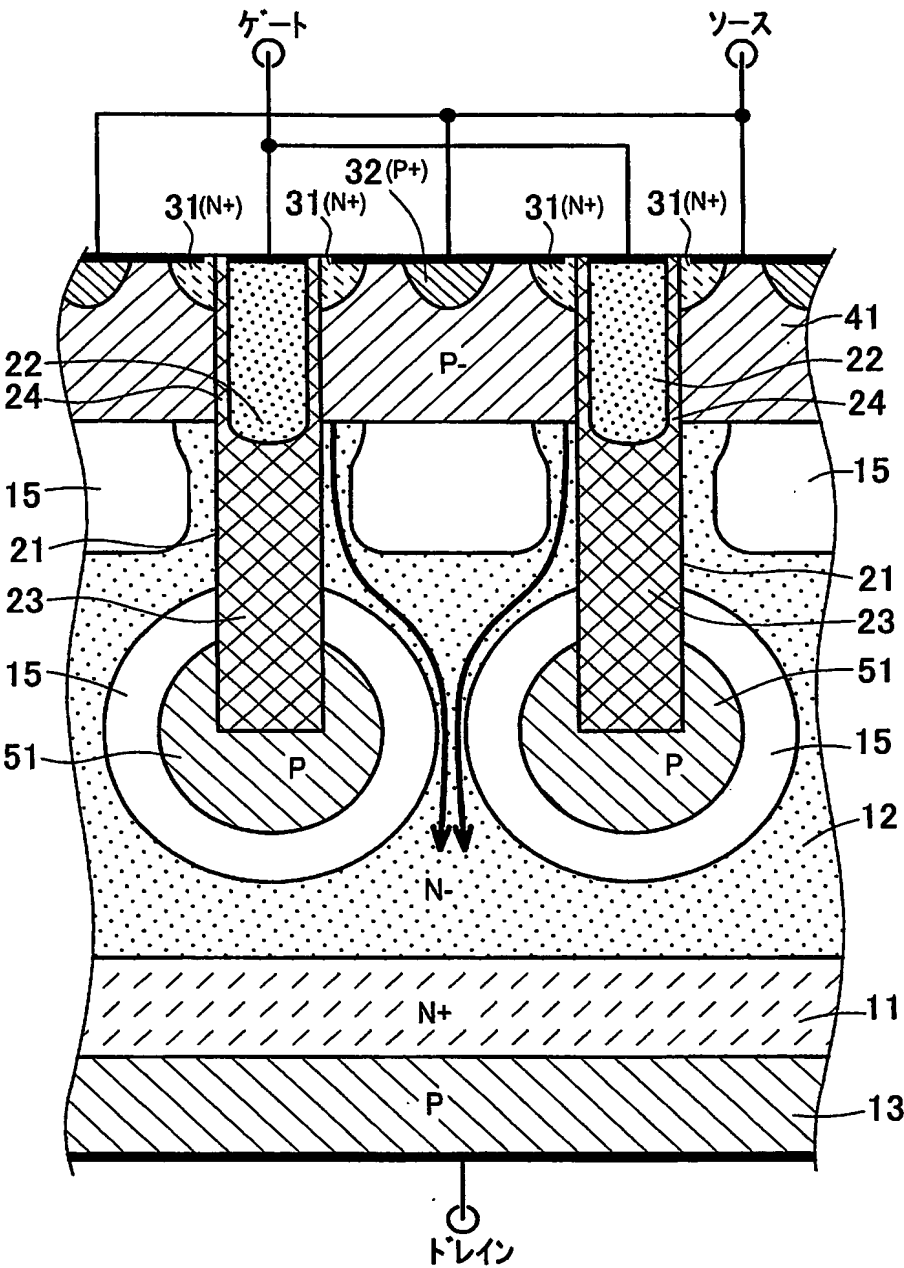




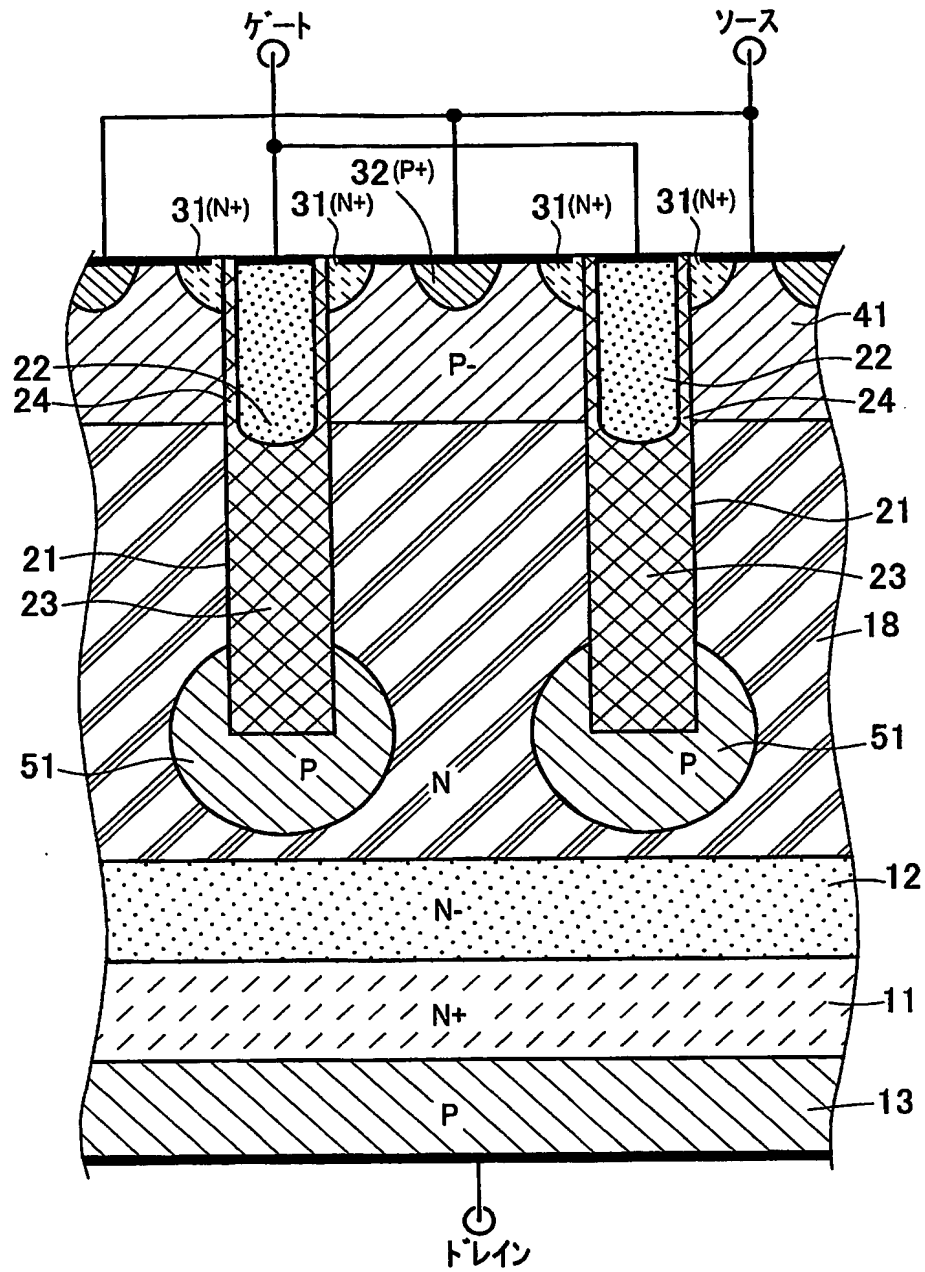
【図 11】



【図 12】

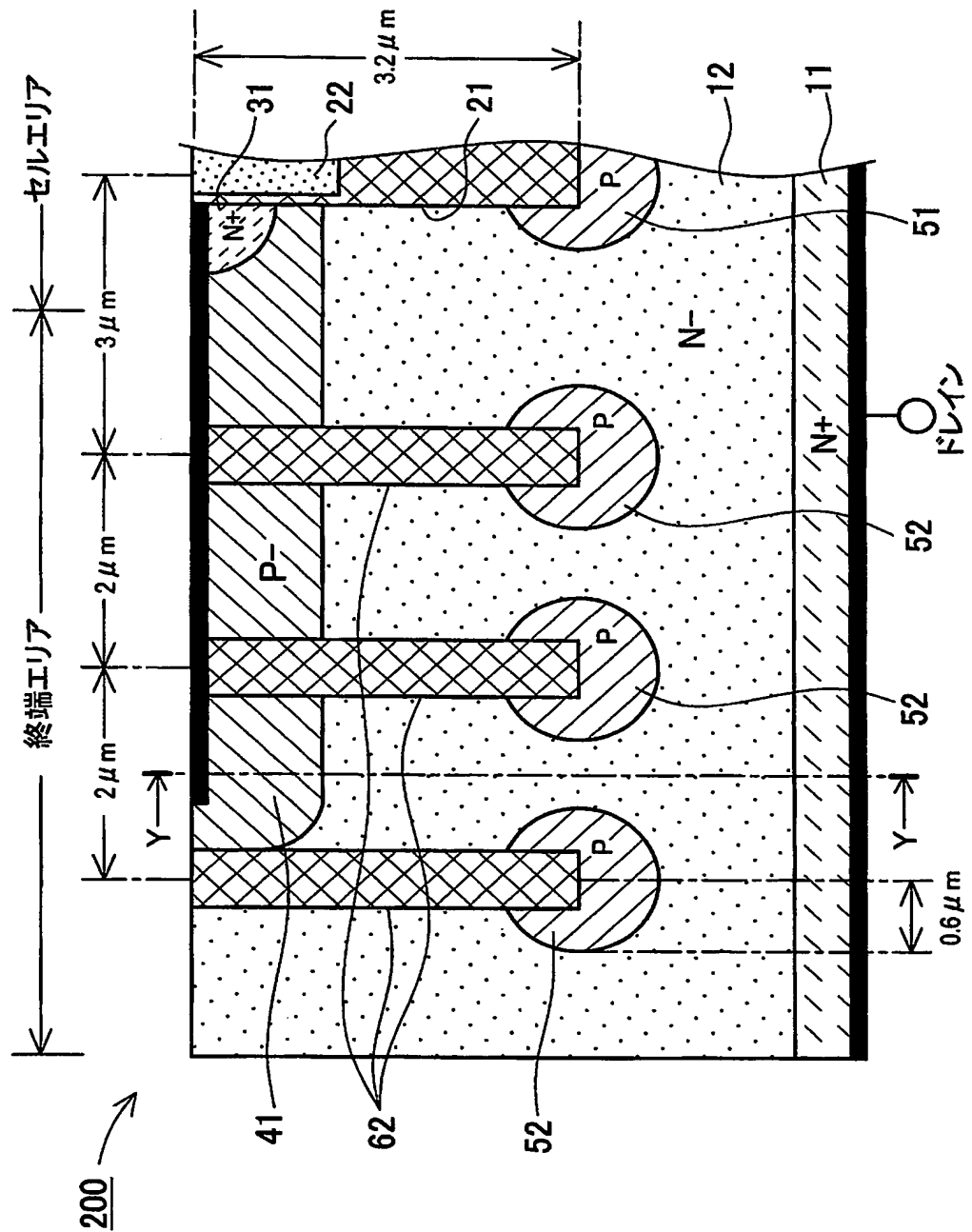


【図 13】

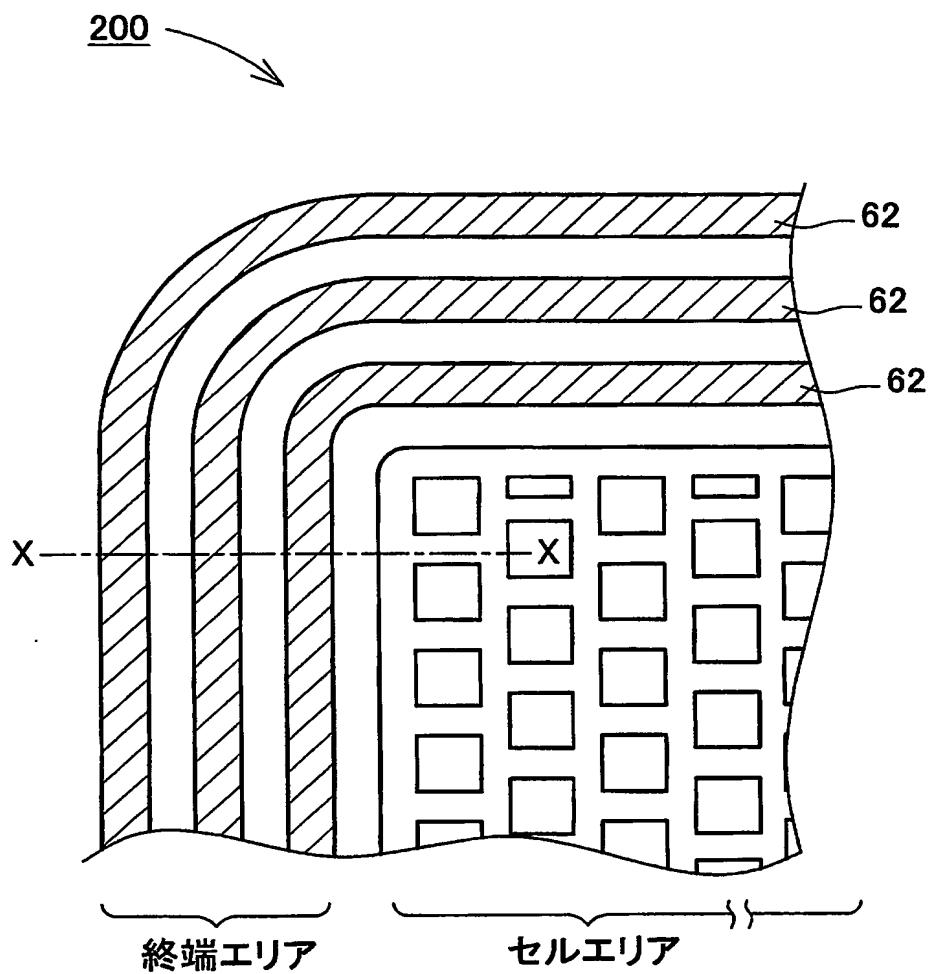




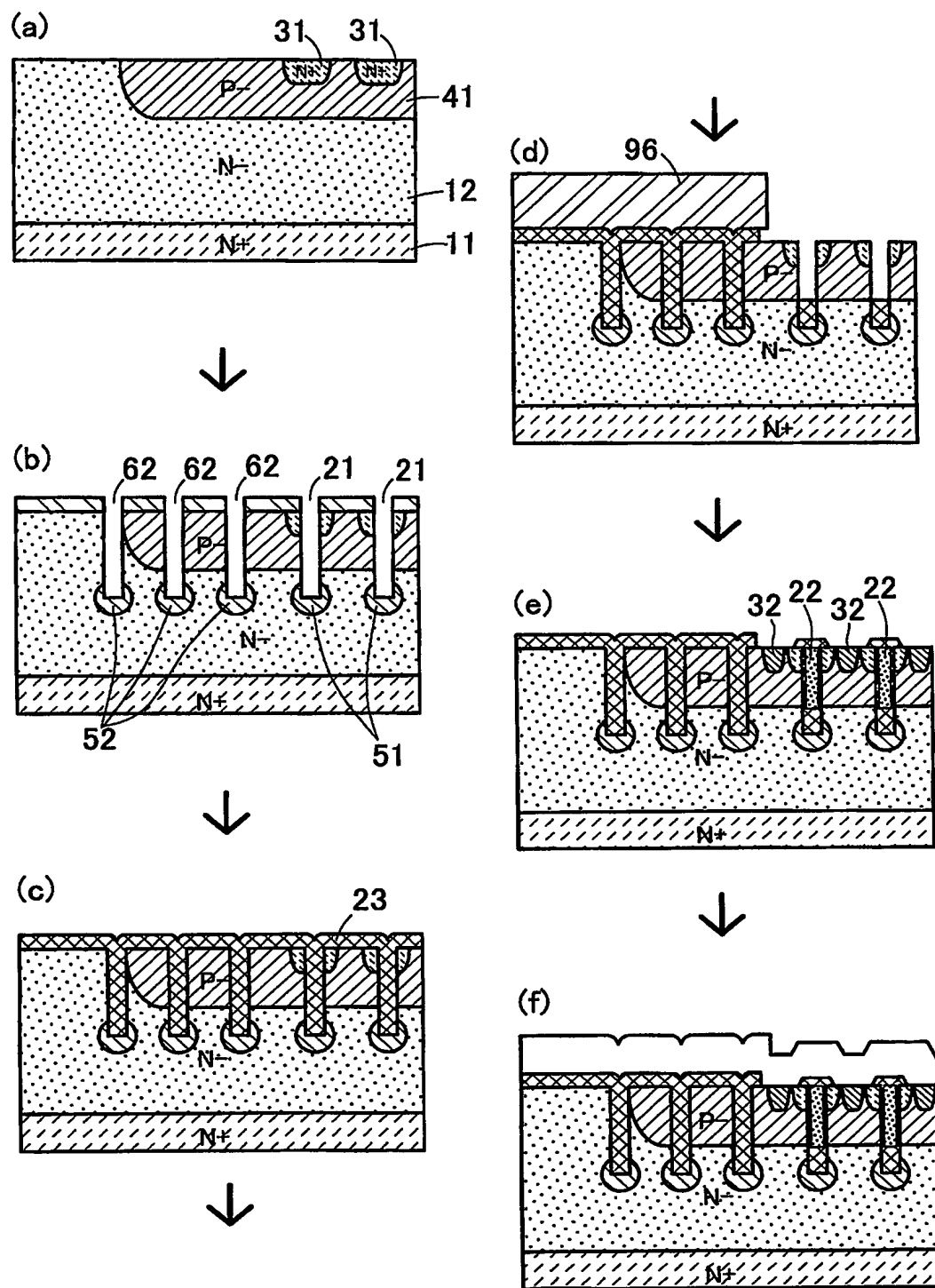
【図 15】



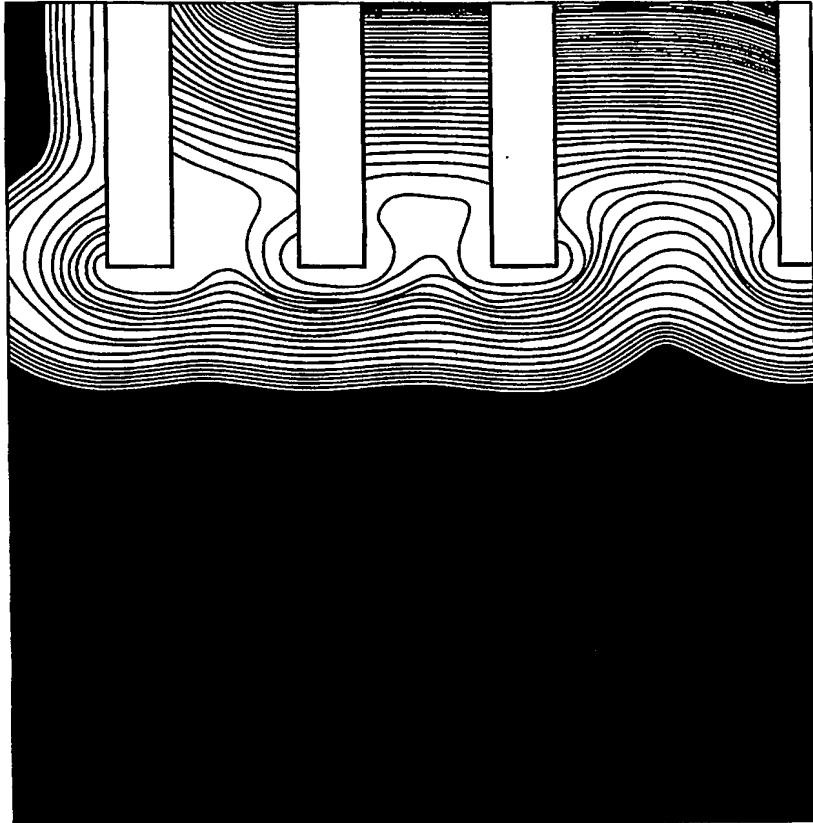
【図 16】



【図 17】



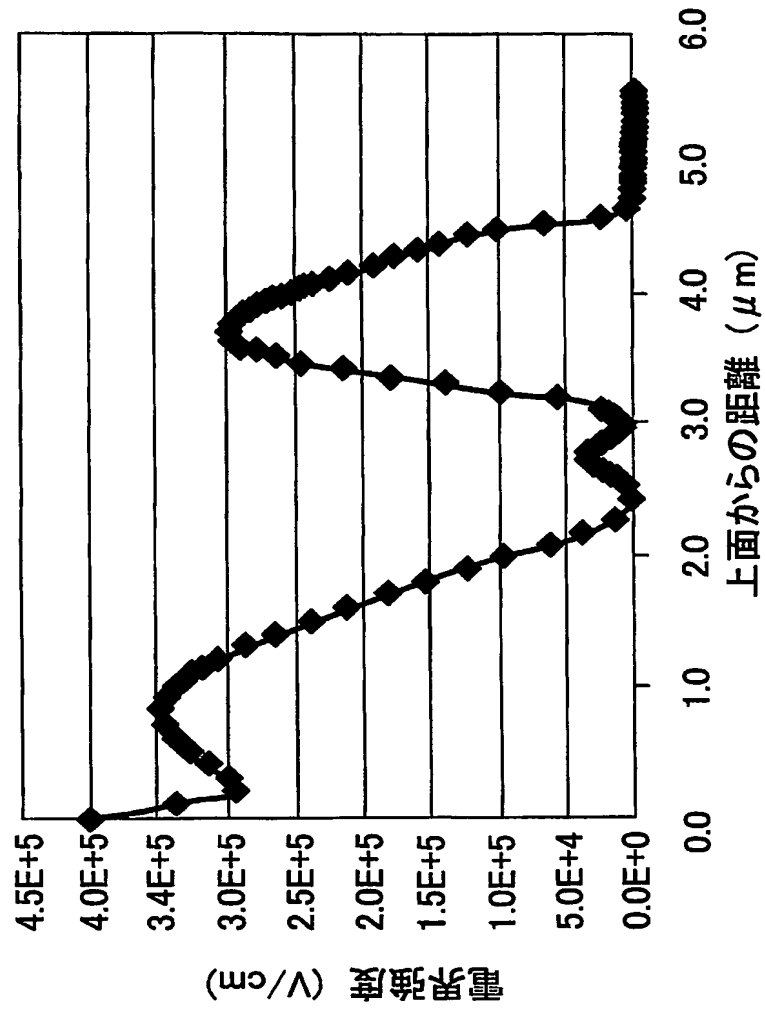
【図 18】



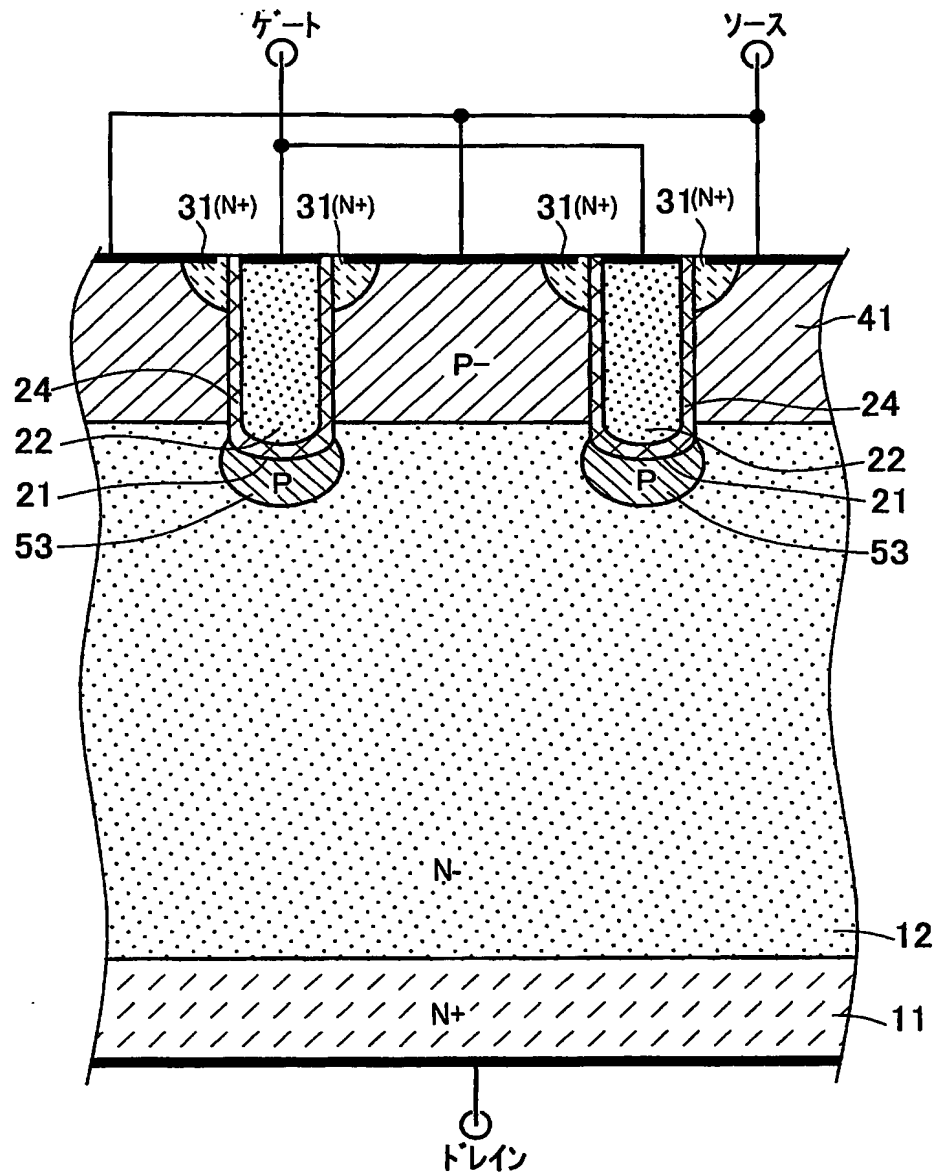
BEST AVAILABLE COPY



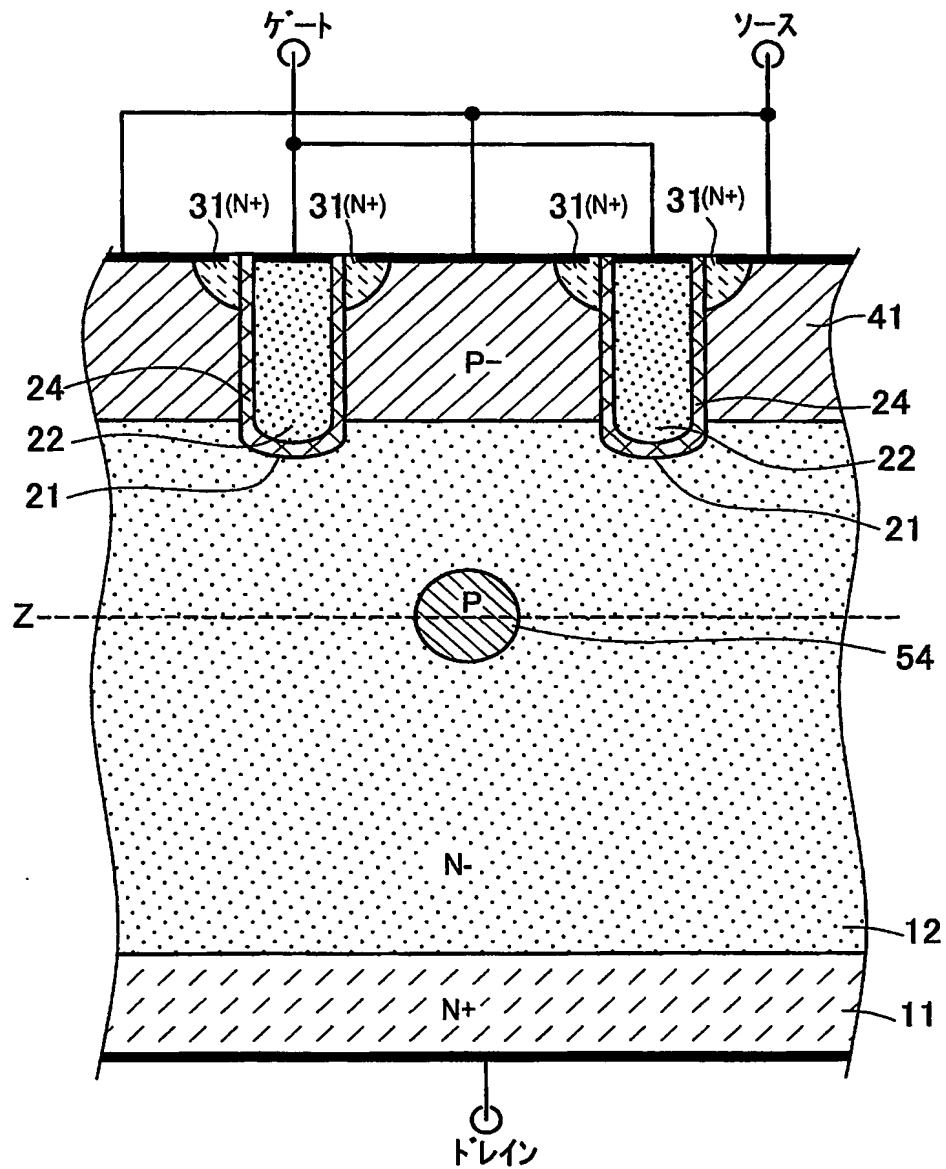
【図 19】



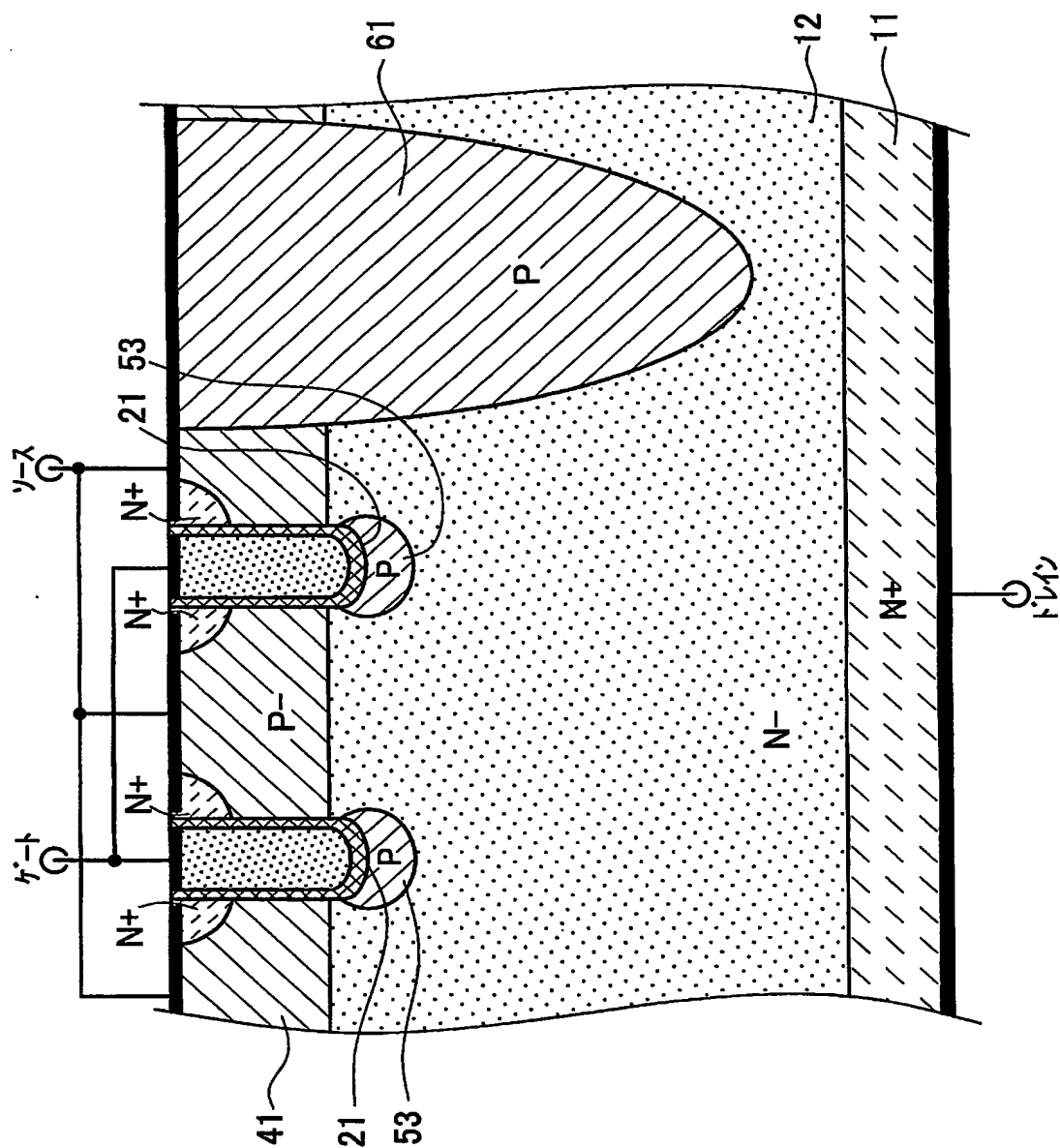
【図 20】



【図 21】



【図 22】



**【書類名】 要約書****【要約】**

**【課題】** 高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法を提供すること。

**【解決手段】** まず、 $N^+$  ドレイン領域 11 となる  $N^+$  基板上にエピタキシャル成長およびイオン注入により  $N^-$  ドリフト領域 12、 $P^-$  ボディ領域 41 および  $N^+$  ソース領域 31 を形成する。次に、底部が  $N^-$  ドリフト領域 12 にまで到達するトレンチ 21 を形成する。次に、トレンチ 21 の底部からイオン注入および熱拡散処理を行うことで  $P$  フローティング領域 51 を形成する。次に、トレンチ 21 内部に絶縁物を堆積し、エッチングすることで堆積絶縁層 23 を形成する。次に、トレンチ 21 の壁面に酸化膜 24 を形成する。そして、堆積絶縁層 23 の上部に導体を堆積することでゲート電極 22 を形成する。

**【選択図】**

図 2

特願 2 0 0 3 - 3 4 9 8 0 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 2 0 7 ]

1. 変更年月日	1 9 9 0 年 8 月 2 7 日
[変更理由]	新規登録
住 所	愛知県豊田市トヨタ町 1 番地
氏 名	トヨタ自動車株式会社

特願 2003-349806

出願人履歴情報

識別番号

[000004260]

1. 変更年月日

1996年10月 8日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町1丁目1番地

氏 名

株式会社デンソー